



Circuitos Combinatorios

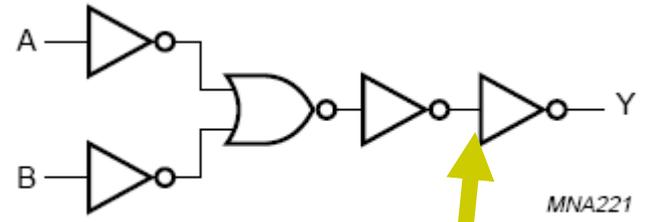
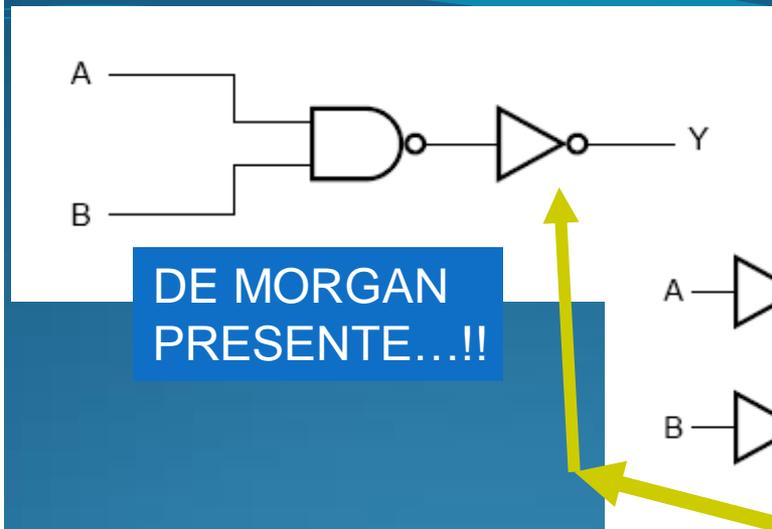
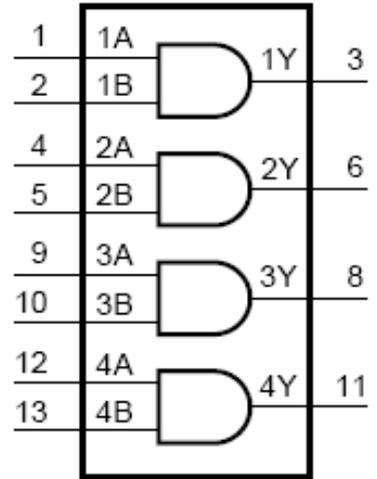
Introducción a los Sistemas Lógicos y Digitales
2018

Circuitos Combinatorios

COMPUERTA AND

(4 AND 2)

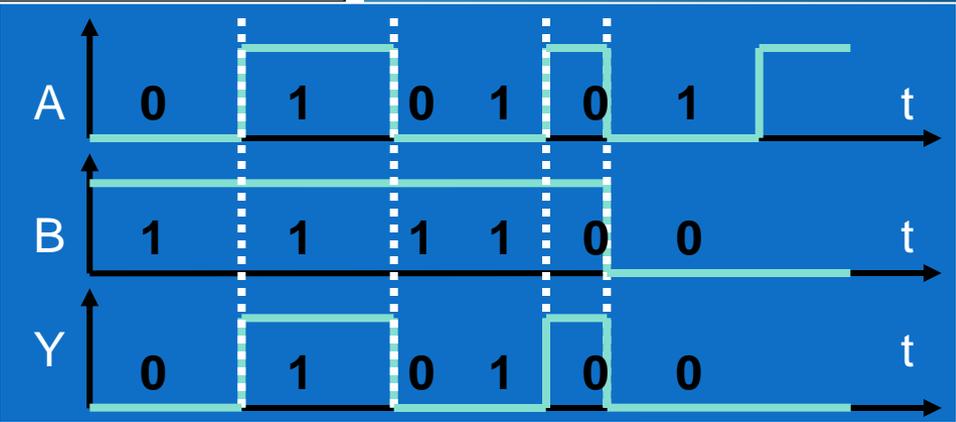
Ejemplo: 74HC08



FUNCTION TABLE

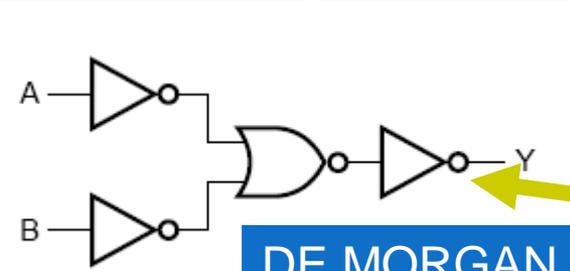
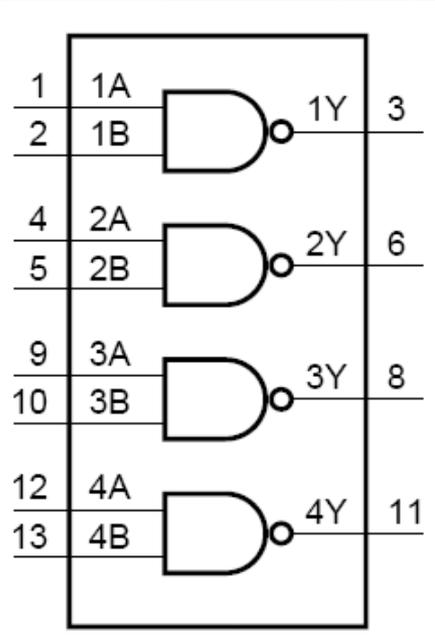
INPUT		OUTPUT
nA	nB	nY
L	L	L
L	H	L
H	L	L
H	H	H

Note
 1. H = HIGH voltage level;
 L = LOW voltage level.



(4 NAND 2)

Ejemplo: 74HC00



DE MORGAN PRESENTE...!!

BUFFER...!!

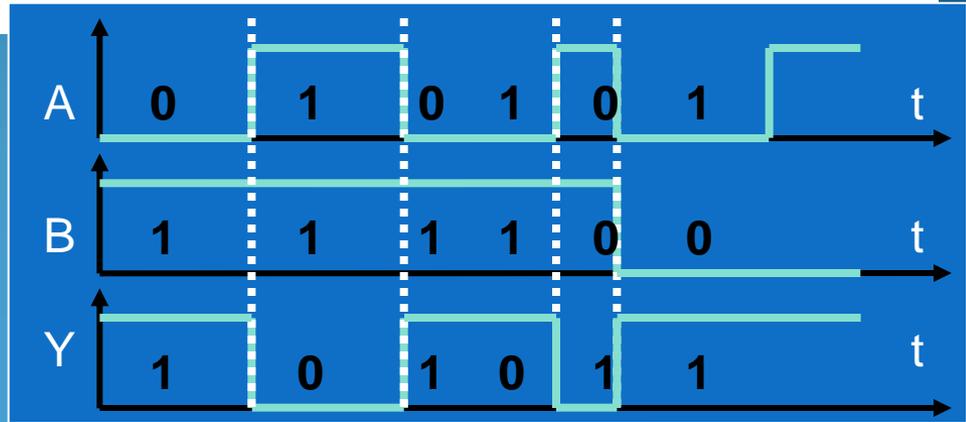
FUNCTION TABLE

See note 1.

INPUT		OUTPUT
nA	nB	nY
L	L	H
L	H	H
H	L	H
H	H	L

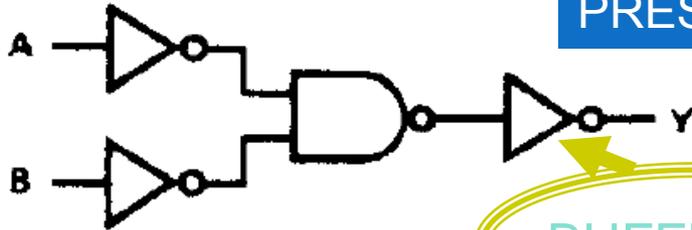
Note

- 1. H = HIGH voltage level;
- L = LOW voltage level.



Ejemplo: 74HC02

DE MORGAN
PRESENTE...!!



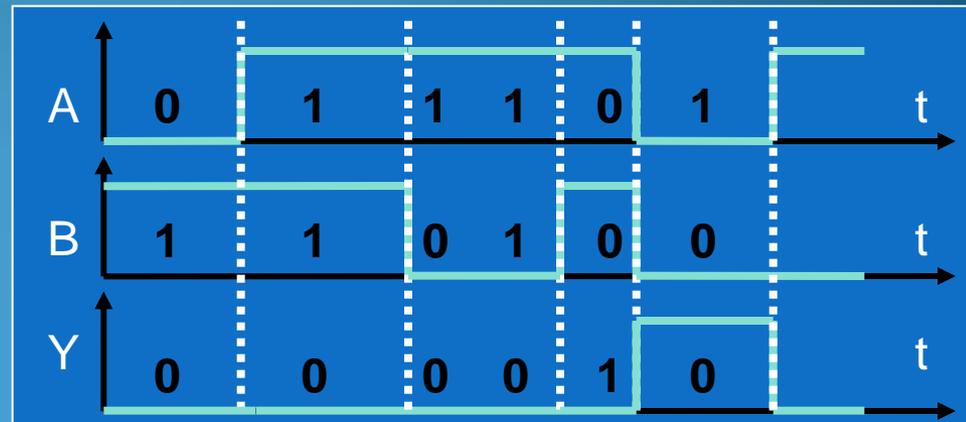
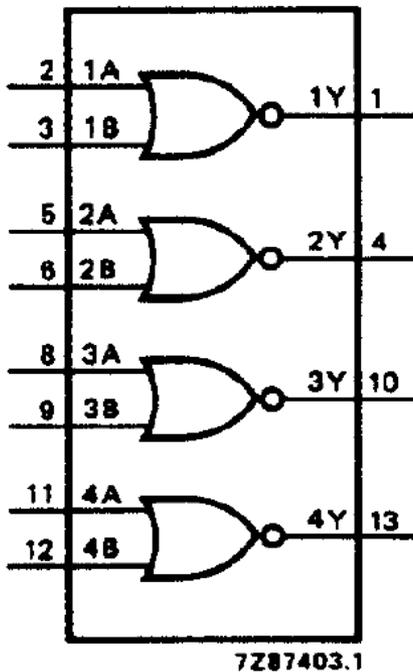
BUFFER...!!!

FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
L	L	H
L	H	L
H	L	L
H	H	L

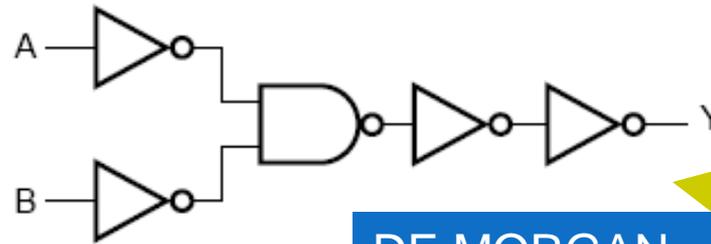
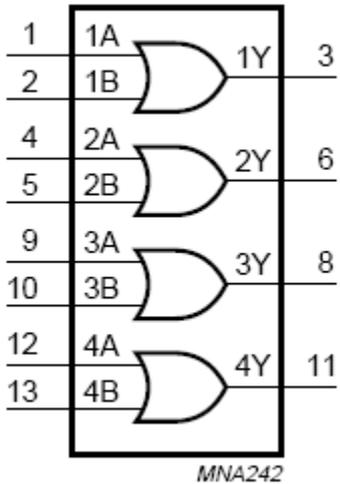
Notes

- H = HIGH voltage level
L = LOW voltage level



(4 OR 2)

Ejemplo: 74HC32



DE MORGAN
PRESENTE...!!

BUFFER...!!

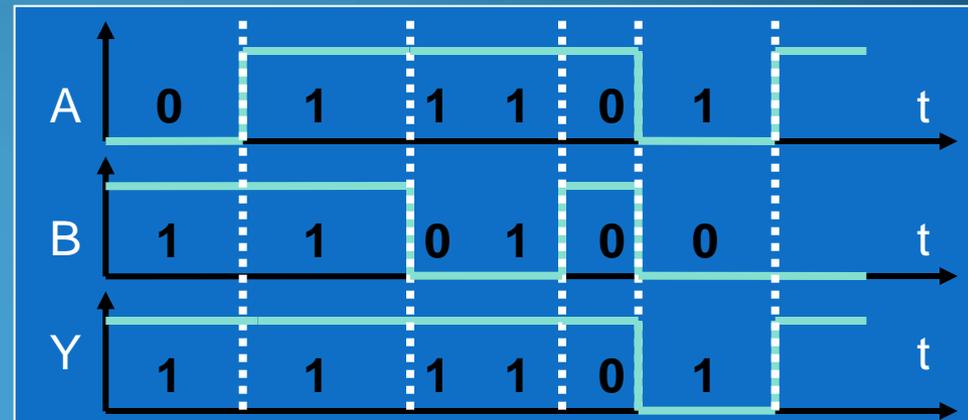
FUNCTION TABLE

See note 1.

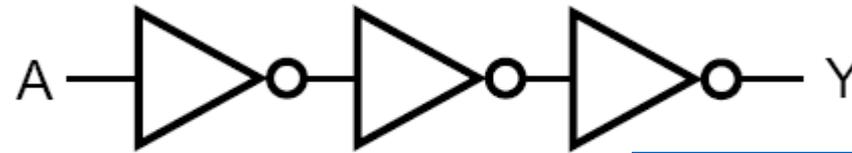
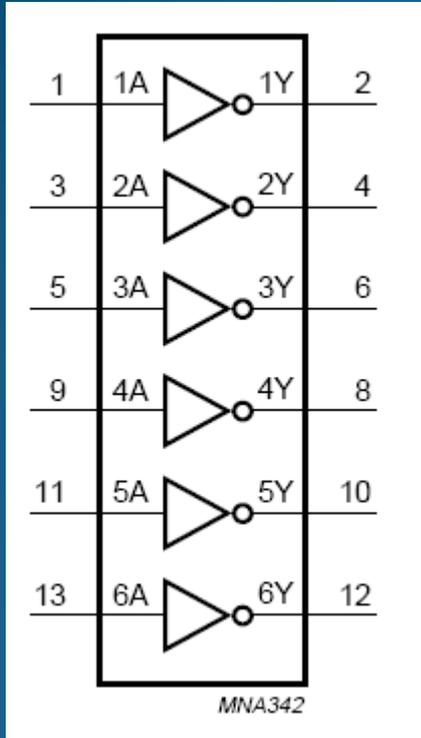
INPUT		OUTPUT
nA	nB	nY
L	L	L
L	H	H
H	L	H
H	H	H

Note

1. H = HIGH voltage level;
L = LOW voltage level.

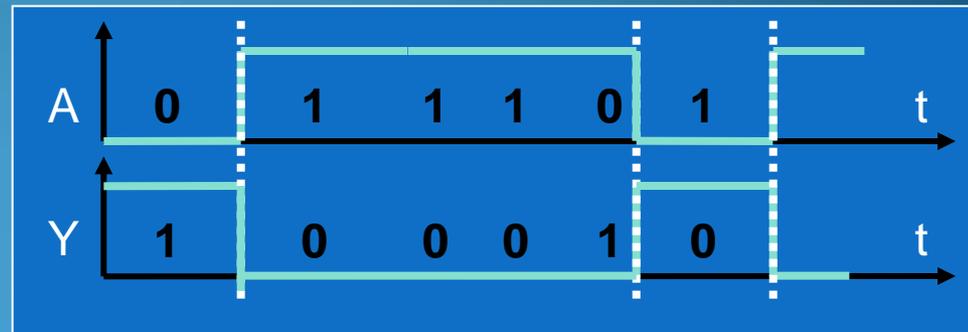


Ejemplo: 74HC04



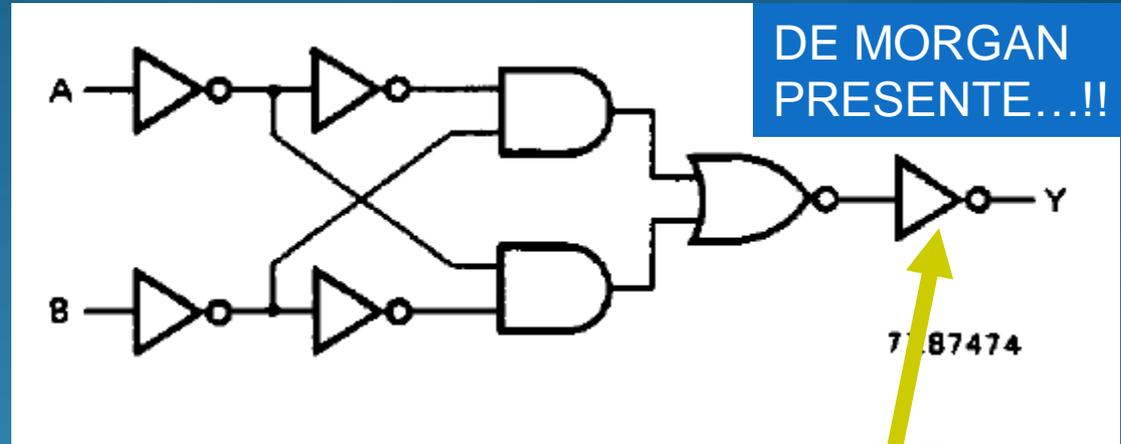
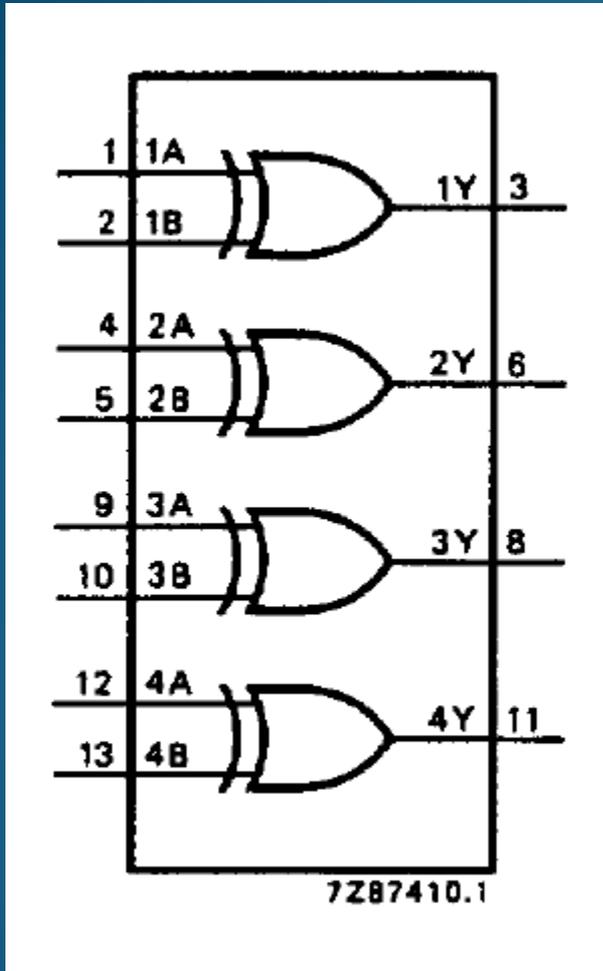
DE MORGAN
PRESENTE...!!

BUFFER...!!!



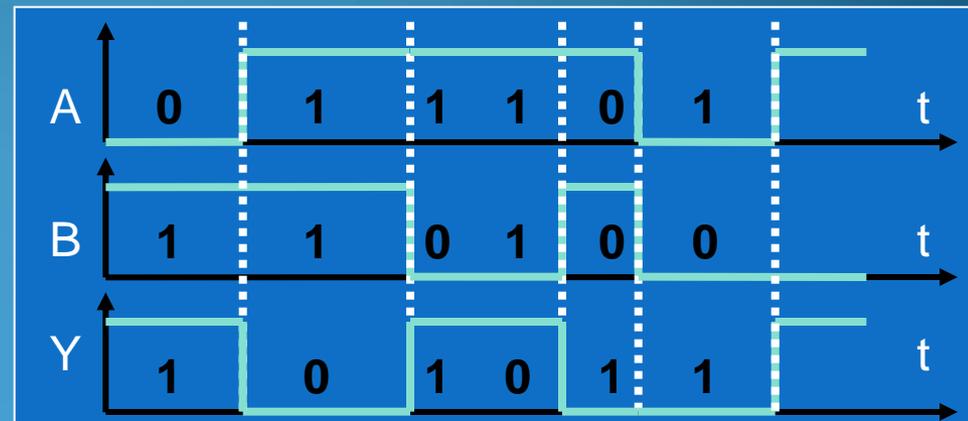
Ejemplo: 74HC86

COMPUERTA OR-Exclusiva (4 OR-EX. 2)



$$Y = \bar{A}B + A\bar{B}$$

BUFFER...!!!



CONSIDERACIONES GENERALES

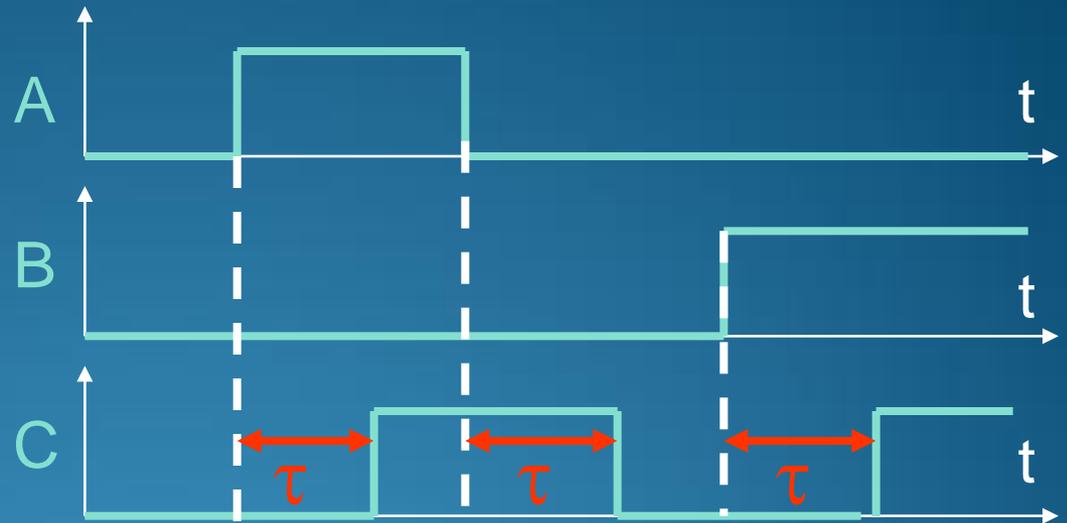
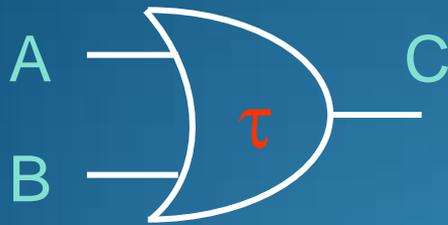
En general por simplicidad en el análisis del comportamiento de dispositivos digitales se considera que las señales de entrada y salida de los mismos son ondas cuadradas de valores "0", "1" y "Z" (alta impedancia).

En realidad, la respuesta real es una señal cuya forma de onda dista de ser una onda cuadrada con borde abruptos.

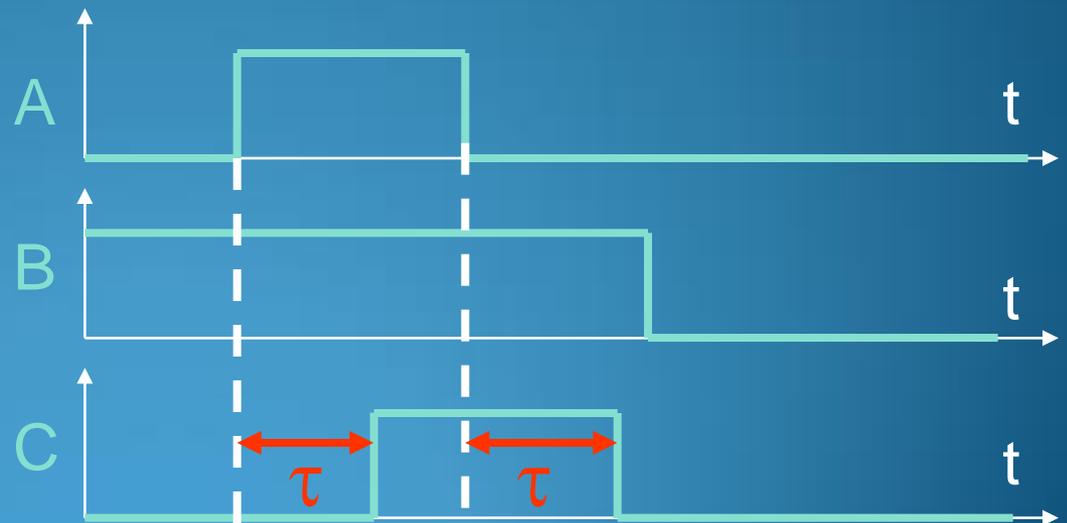
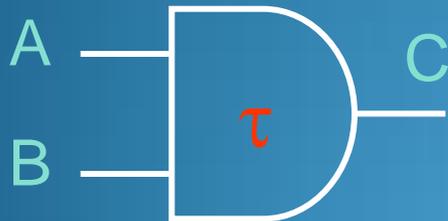
La respuesta de la mayoría de los dispositivos digitales es una onda que tarda un cierto tiempo en subir y bajar entre dos niveles de tensión (ó corriente) que pueden variar según las condiciones de operación. Incluso puede haber oscilaciones producto de desadaptación de cargas, fluctuación del nivel de continua por ruido, etc.

Por simplicidad, por ahora sólo se considerará que la respuesta en la amplitud de todo circuito digital será binaria (sólo "0" y "1") y la limitación en la velocidad de respuesta contemplará sólo un valor de tiempo de retardo igual para cualquier compuerta simple (AND, OR, NOR, NOT, NAND, etc.) salvo que se especifique lo contrario.

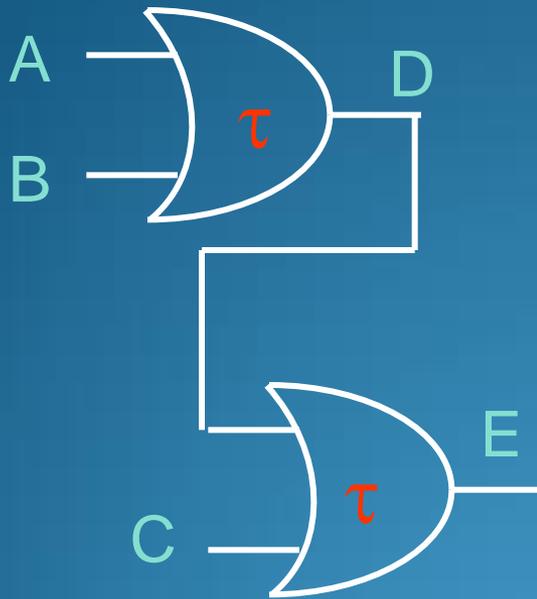
REPRESENTACIÓN
SIMPLIFICADA DE
LOS RETARDOS



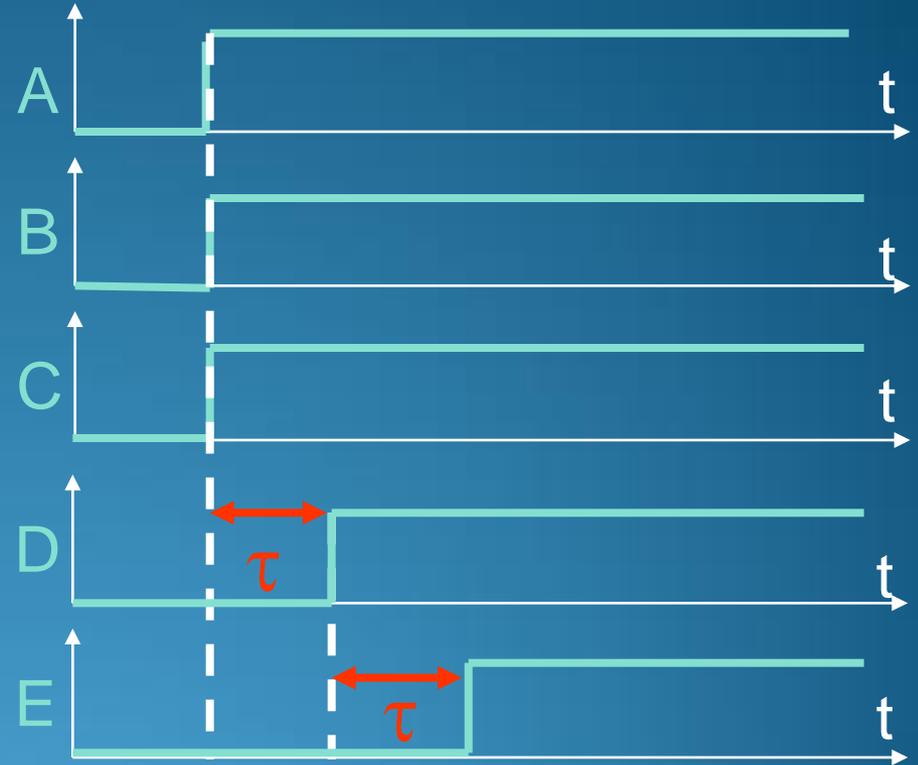
$\tau = \text{retardo}$



COMPUERTAS REALES



$\tau = \text{retardo}$



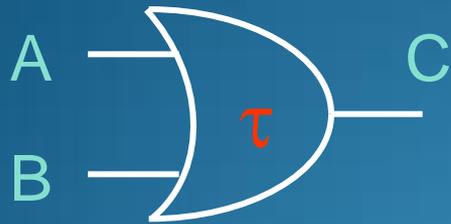
Los retardos son acumulativos.

En este caso existe una cascada de retardos debido a la respuesta temporal de cada componente.

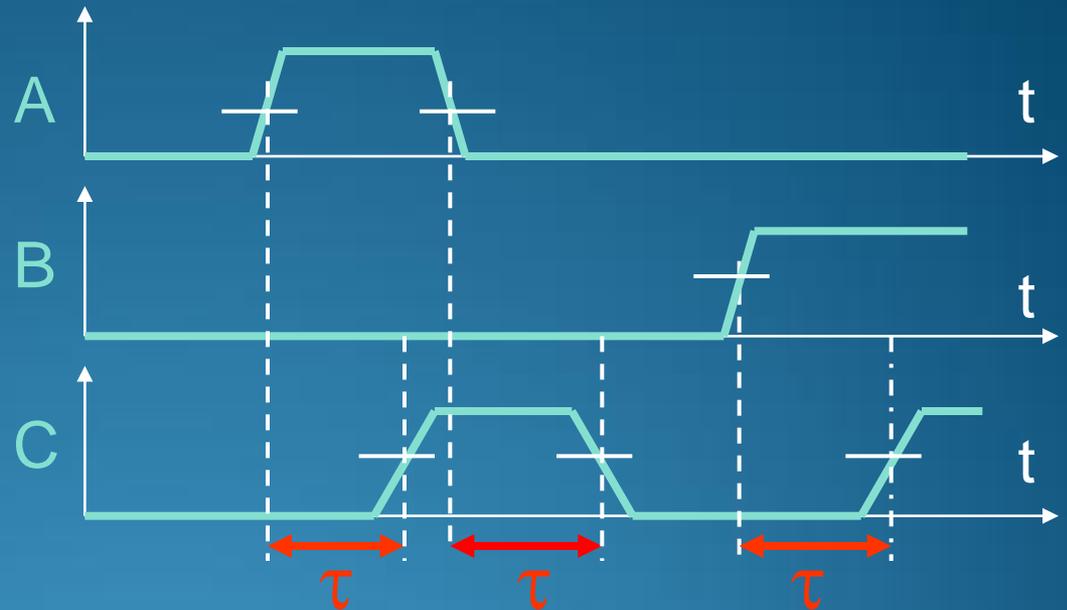
Circuitos Combinatorios

VELOCIDAD DE RESPUESTA

REPRESENTACIÓN MAS REAL DE LOS RETARDOS



$\tau = \text{retardo}$

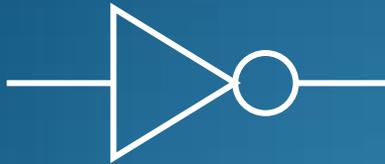


Las formas de onda de tensión en compuertas pueden aproximarse mejor si se considera el tiempo de subida (rise time) y el de bajada (fall time) con un valor diferente de cero.

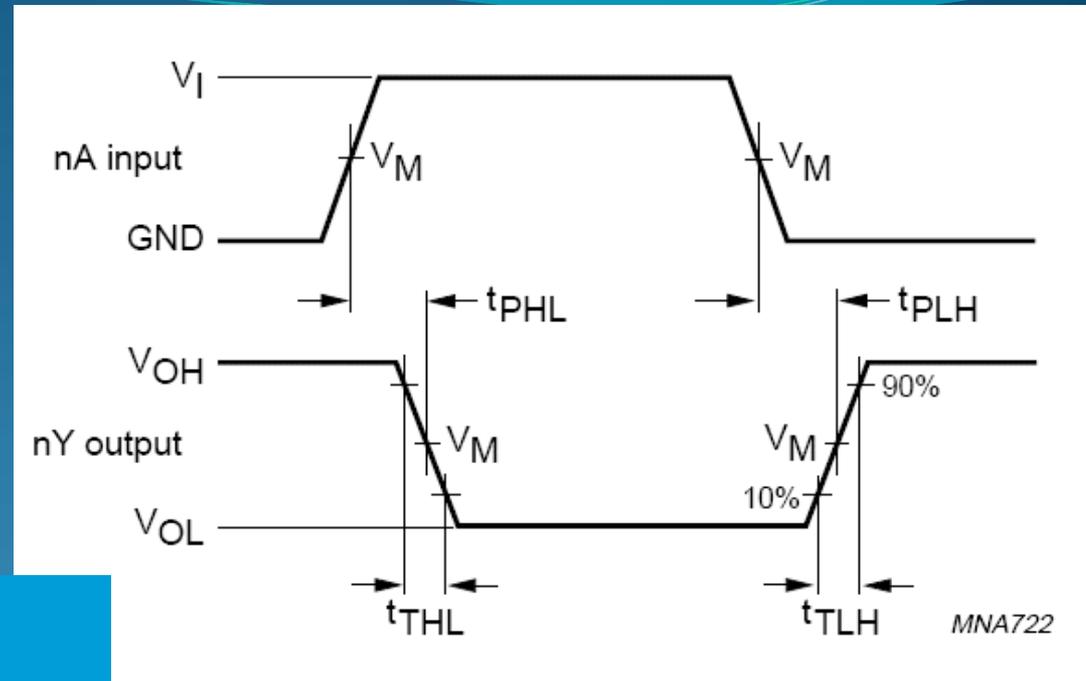
Generalmente, en las hojas de datos de los dispositivos suele utilizarse este tipo de simplificación.

En cambio, en los software de simulación suele emplearse una representación mas burda como la de considerar nulos estos tiempos.

REPRESENTACIÓN
UTILIZADA EN LAS
HOJAS DE DATOS DE
LOS FABRICANTES



Aparecen niveles de tensión
en vez de “0” y “1” ó “L” y “H”



Esta representación es la que aparece por ejemplo en un circuito integrado 74HCT04 (sextuple inversor) del fabricante Philips donde se especifican dos tiempos diferentes de retardo:

- > Los de retardo de propagación de la señal de salida: t_{PHL} y t_{PLH} (donde t_{PHL} es el tiempo de retardo cuando la salida pasa de H a L y viceversa).
- > Los de bajada y subida de la señal de salida: t_{THL} y t_{TLH} respectivamente.

CLASIFICACIÓN:

ANALÓGICOS: Empleados generalmente junto con conversores analógico-digitales como llaves selectoras.

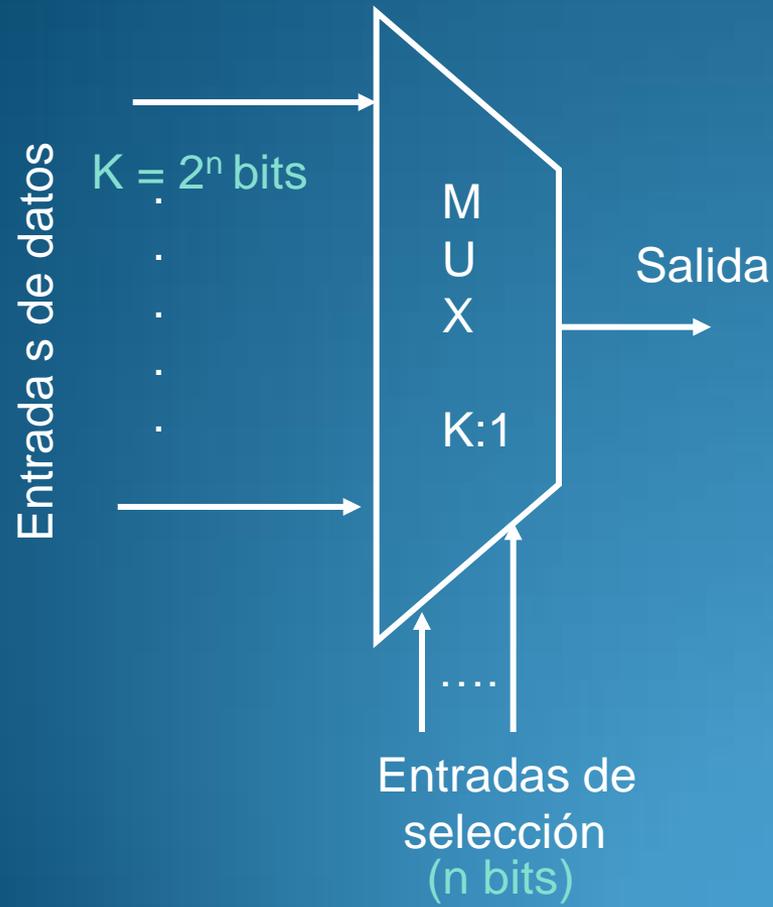
DIGITALES: Aceptan sólo señales digitales.

APLICACIONES:

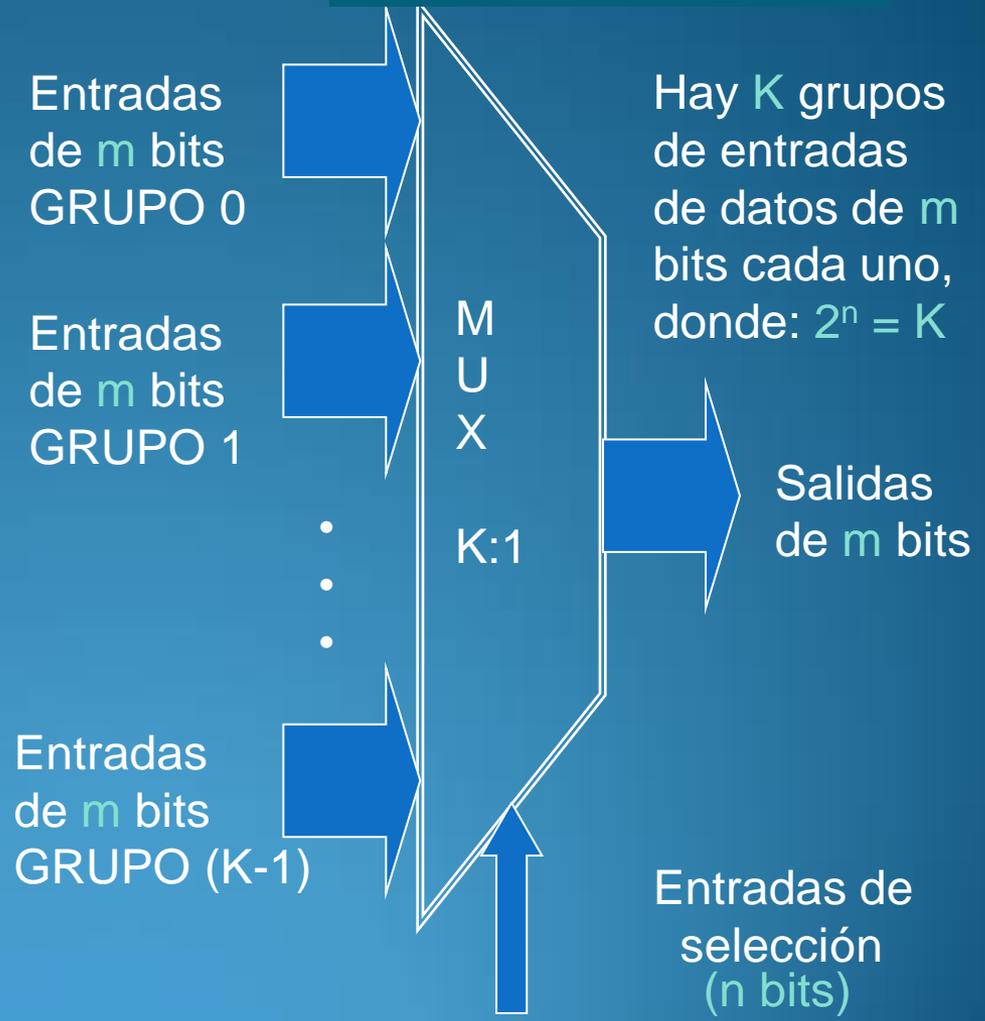
SELECTOR DE SEÑALES

GENERACIÓN DE FUNCIONES LÓGICAS

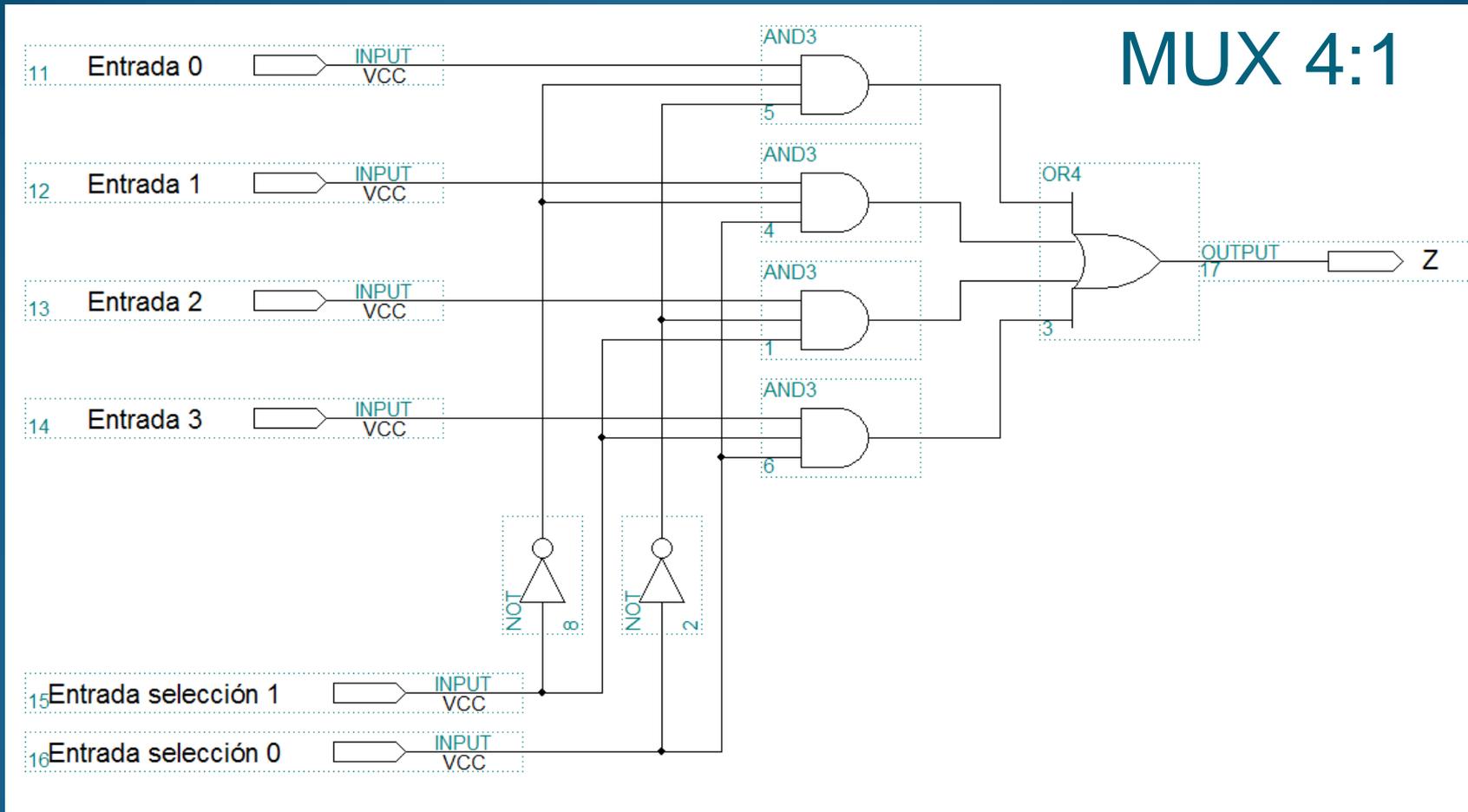
MUX Simple



MUX Generalizado de ancho de bus = m

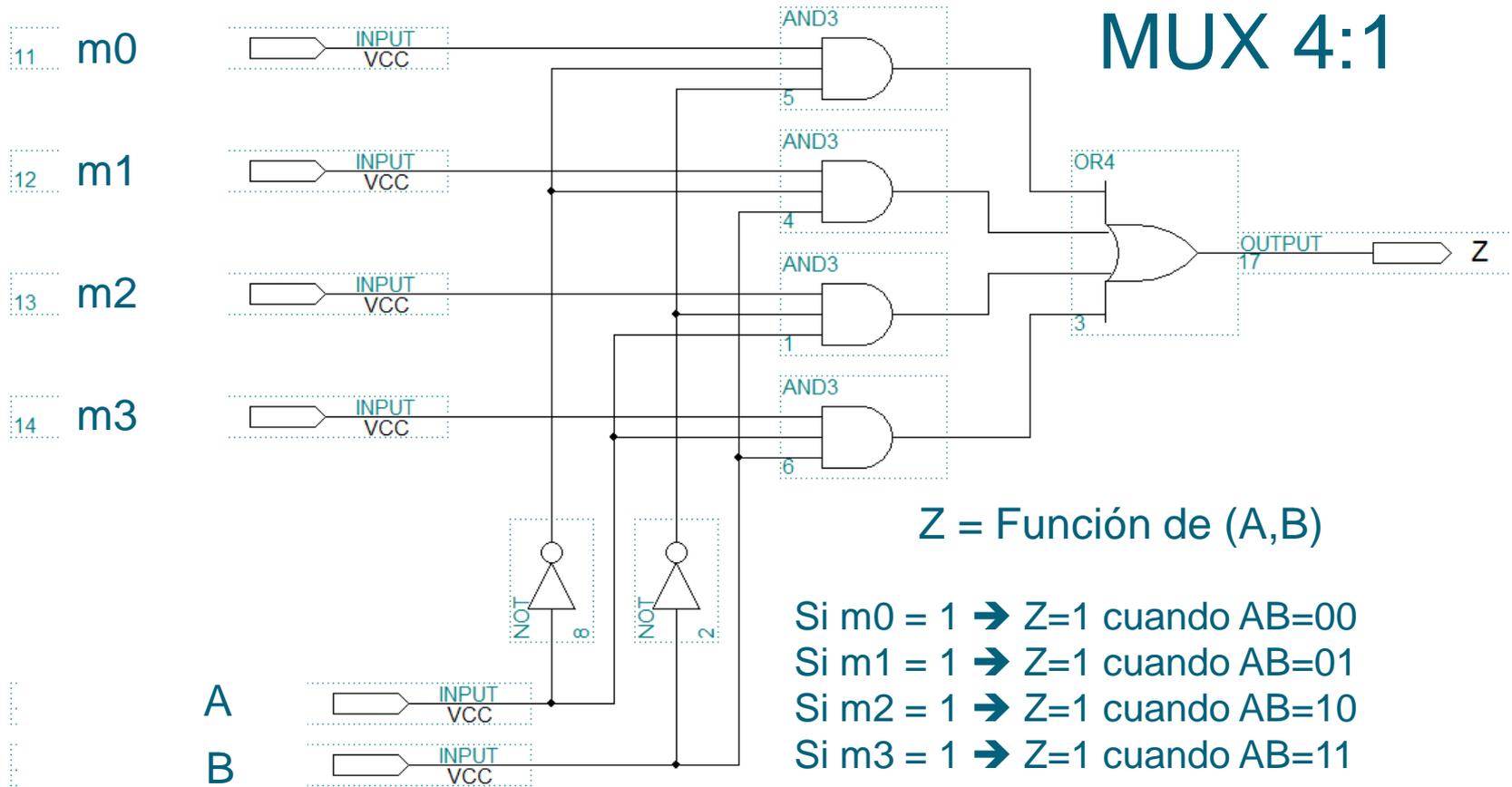


Construcción de MUX 4:1 convencional con compuertas simples



NOTA: En familias lógicas se verá como implementar un MUX con tecnología CMOS mas compacto (emplea compuertas pass-gate)

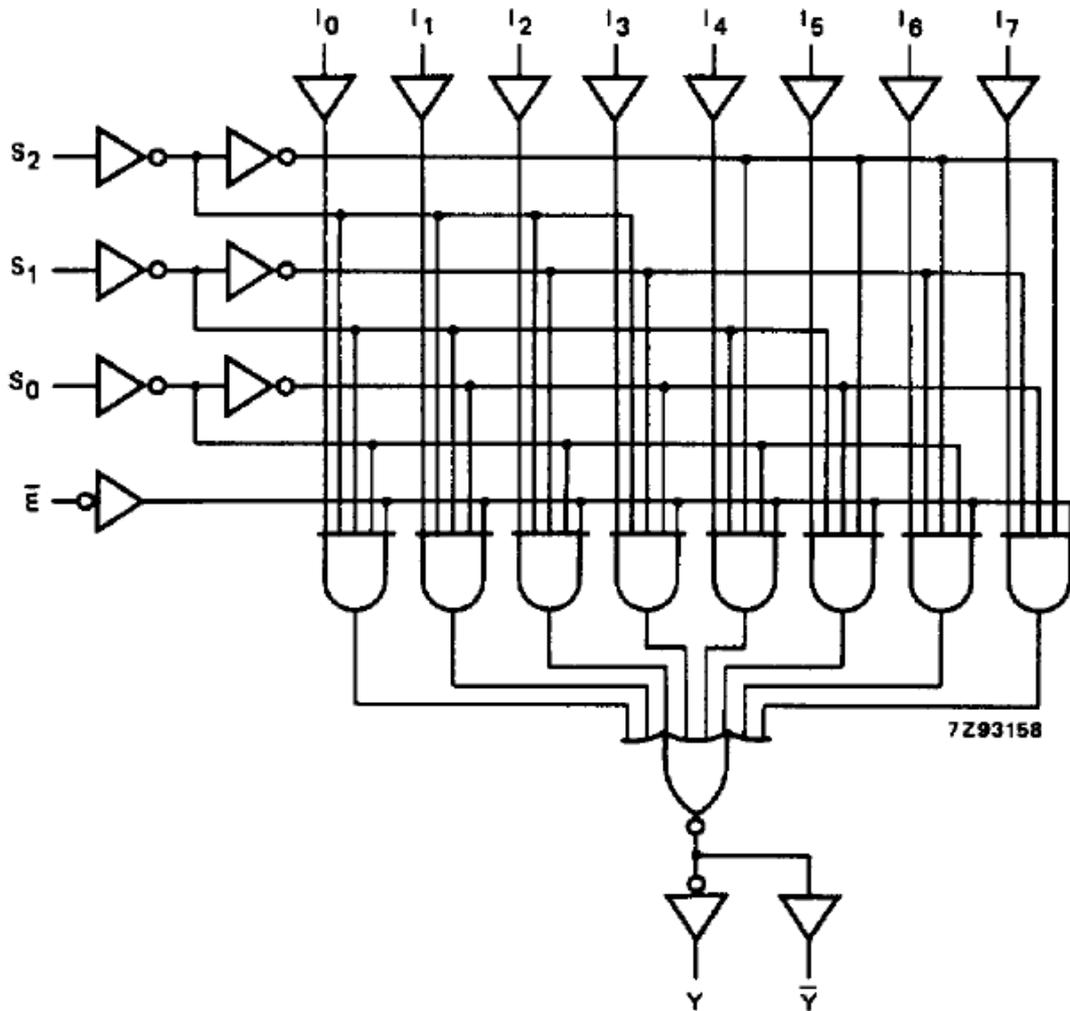
GENERADOR DE FUNCIONES LÓGICAS



$$Z = \Sigma (\text{mintérminos de } A, B)$$

EJEMPLO: Si $m_0=m_1=1$ y $m_2=m_3=0 \rightarrow Z = /A /B + /A B = /A$

EJEMPLO: 74HC151



Este multiplexer es digital.

Tiene dos salidas, una normal y la otra negada. Una entrada adicional de habilitación sirve para anular la función de selección de entradas.

EJEMPLO: 74HC151

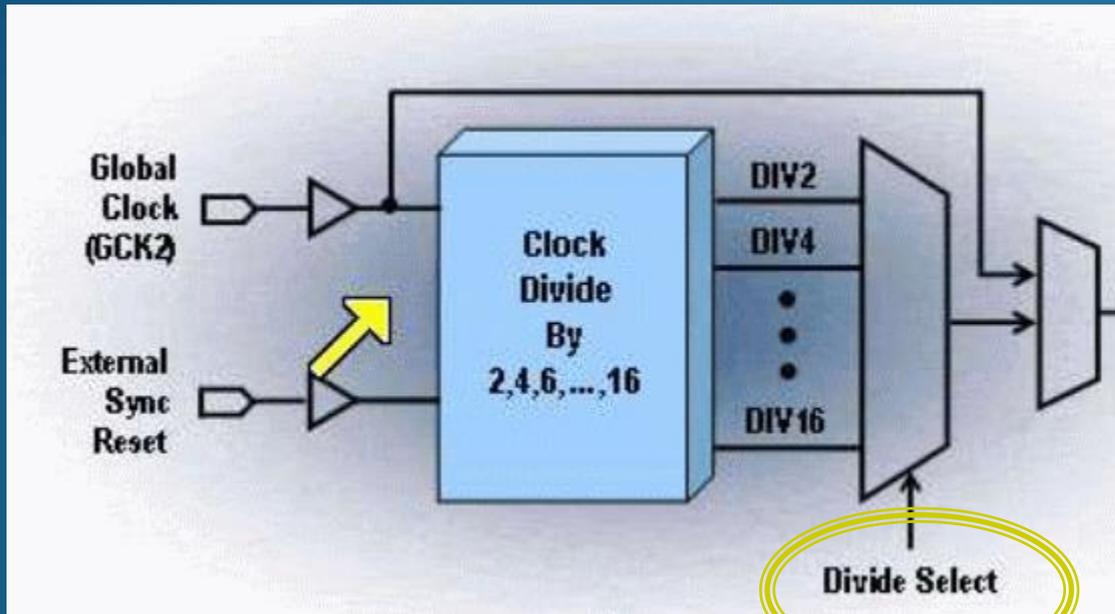
FUNCTION TABLE

INPUTS												OUTPUTS	
\bar{E}	S_2	S_1	S_0	I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	\bar{Y}	Y
H	X	X	X	X	X	X	X	X	X	X	X	H	L
L	L	L	L	L	X	X	X	X	X	X	X	H	L
L	L	L	L	H	X	X	X	X	X	X	X	L	H
L	L	L	H	X	L	X	X	X	X	X	X	H	L
L	L	L	H	X	H	X	X	X	X	X	X	L	H
L	L	H	L	X	X	L	X	X	X	X	X	H	L
L	L	H	L	X	X	H	X	X	X	X	X	L	H
L	L	H	H	X	X	X	L	X	X	X	X	H	L
L	L	H	H	X	X	X	H	X	X	X	X	L	H
L	H	L	L	X	X	X	X	L	X	X	X	H	L
L	H	L	L	X	X	X	X	H	X	X	X	L	H
L	H	L	H	X	X	X	X	X	L	X	X	H	L
L	H	L	H	X	X	X	X	X	H	X	X	L	H
L	H	H	L	X	X	X	X	X	X	L	X	H	L
L	H	H	L	X	X	X	X	X	X	H	X	L	H
L	H	H	H	X	X	X	X	X	X	X	L	H	L
L	H	H	H	X	X	X	X	X	X	X	H	L	H

Notes

1. H = HIGH voltage level
L = LOW voltage level
X = don't care.

EJEMPLO: MULTIPLEXOR COMO SELECTOR DE SEÑALES



Esquemático obtenido de uno de los circuitos internos que emplean varios productos de lógica programable de la empresa Xilinx para posibilitar la división interna de la señal de reloj externa (Global clock).

Las líneas de selección del MUX sirven para elegir que señal de reloj va a salir por el mismo.

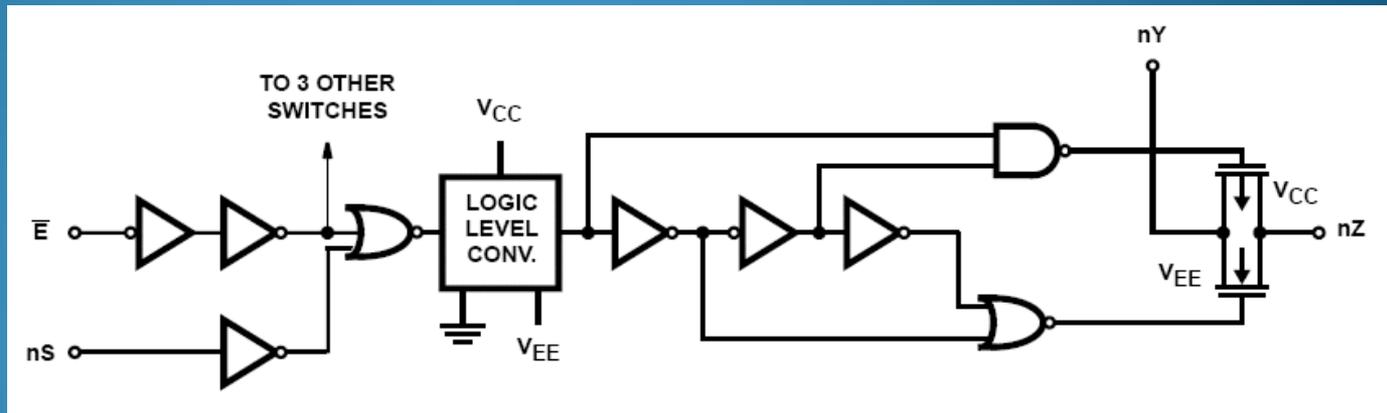
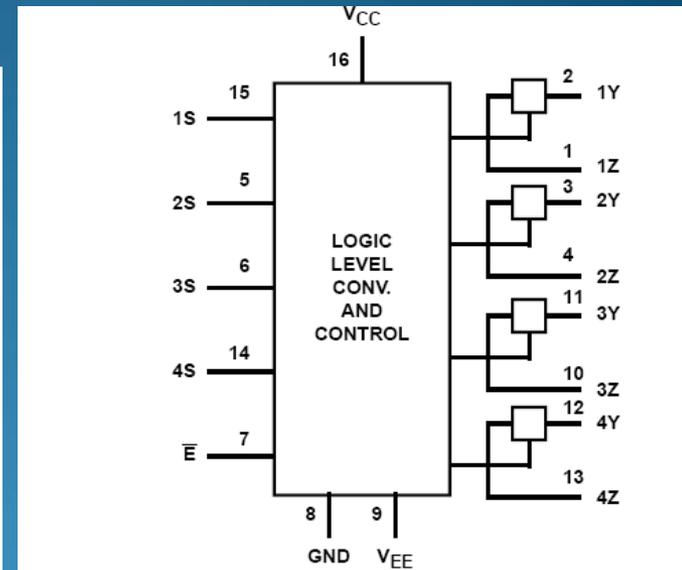
EJEMPLO: CD74HC4316

En este ejemplo el chip tiene 4 llaves analógicas comandadas digitalmente en forma separada pudiendo manejar señales de +/- V_{CC} en la entrada siendo la entrada digital de 0 a V_{CC} .

TRUTH TABLE

INPUTS		SWITCH
\bar{E}	S	
L	L	OFF
L	H	ON
H	X	OFF

H= High Level Voltage
L= Low Level Voltage
X= Don't Care

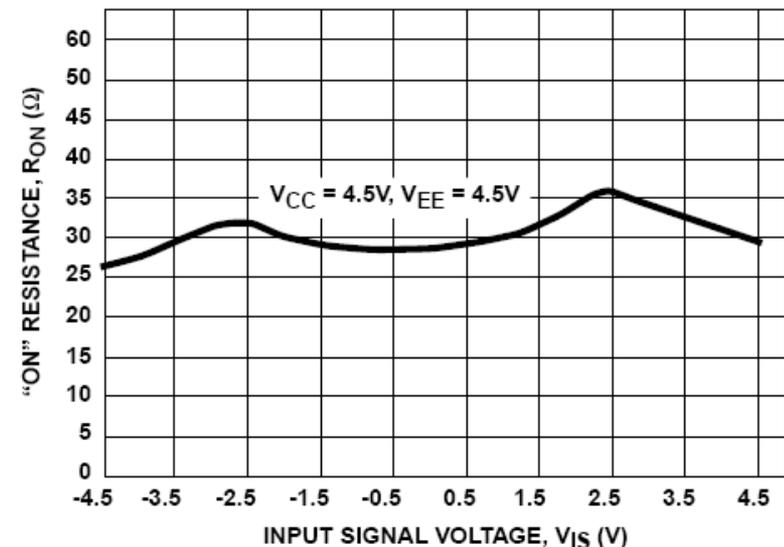
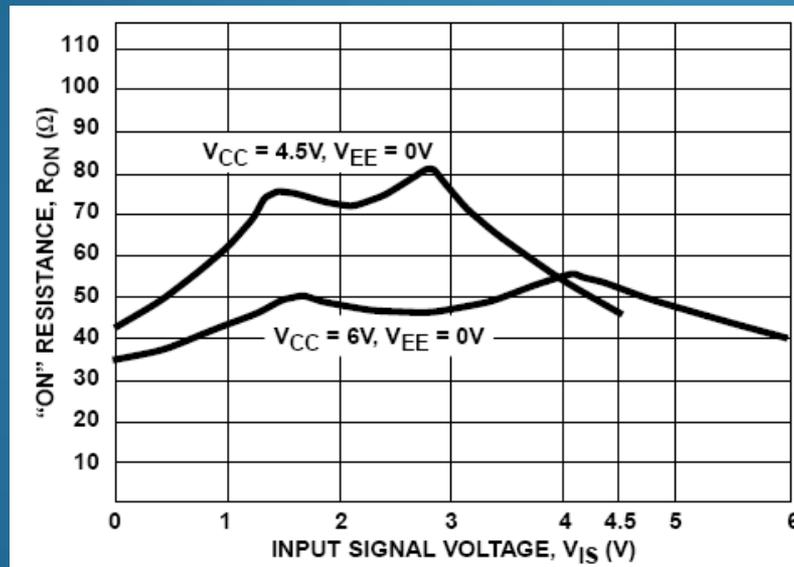
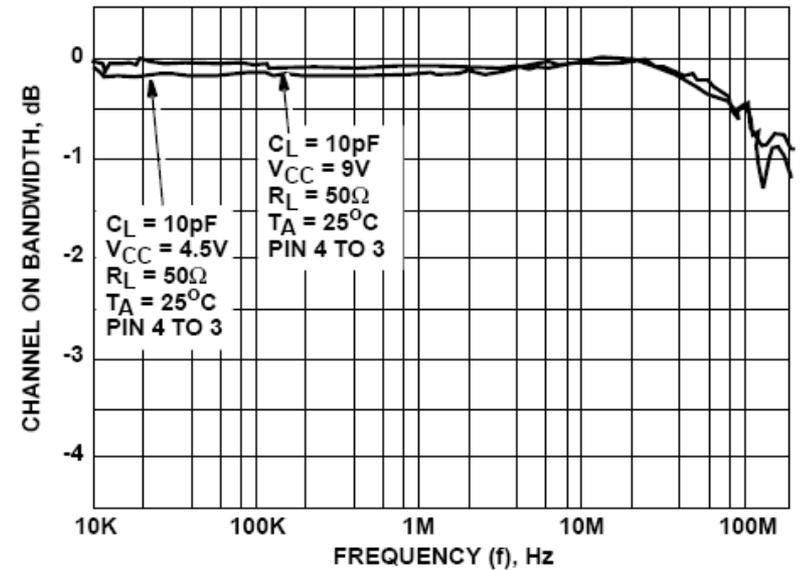


Circuitos Combinatorios

EJEMPLO: CD74HC4316

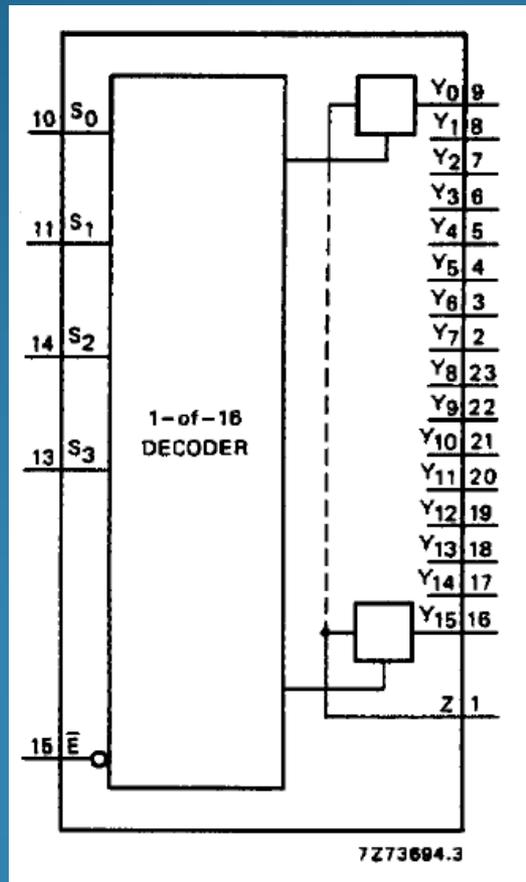
Tanto las llaves como los MUX's analógicos CMOS tienen valores de R_{on} importantes que dependen de las tensiones de entrada, de alimentación, temperatura, etc. además de generarse crosstalk, etc.

LLAVES (SWITCHES) ANALÓGICAS



EJEMPLO: 74HC4067

Este MUX admite señales analógicas.
Es bidireccional, es decir, puede usarse como DeMUX.



FUNCTION TABLE

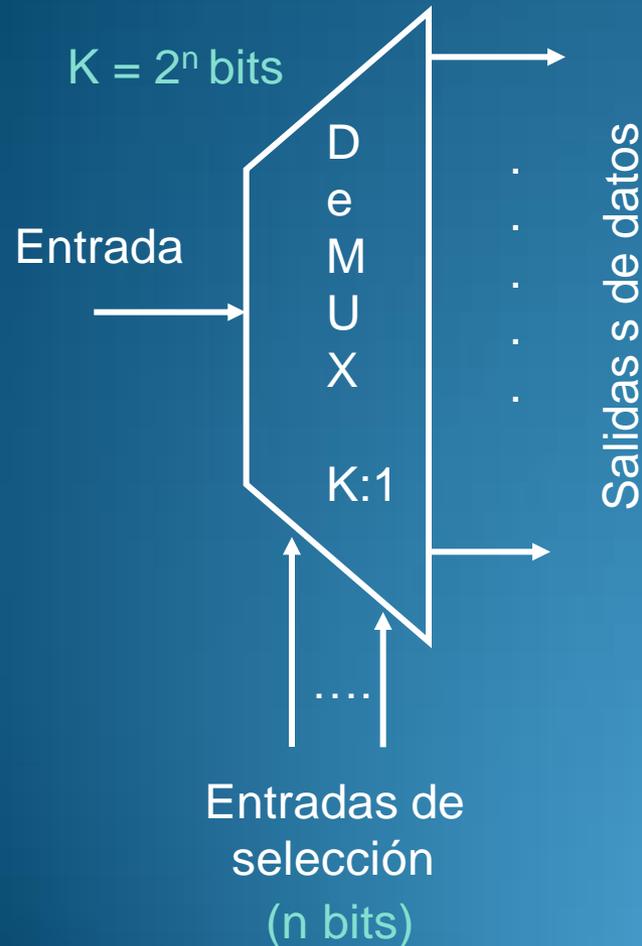
INPUTS					CHANNEL ON
\bar{E}	S_3	S_2	S_1	S_0	
L	L	L	L	L	$Y_0 - Z$
L	L	L	L	H	$Y_1 - Z$
L	L	L	H	L	$Y_2 - Z$
L	L	L	H	H	$Y_3 - Z$
L	L	H	L	L	$Y_4 - Z$
L	L	H	L	H	$Y_5 - Z$
L	L	H	H	L	$Y_6 - Z$
L	L	H	H	H	$Y_7 - Z$
L	H	L	L	L	$Y_8 - Z$
L	H	L	L	H	$Y_9 - Z$
L	H	L	H	L	$Y_{10} - Z$
L	H	L	H	H	$Y_{11} - Z$
L	H	H	L	L	$Y_{12} - Z$
L	H	H	L	H	$Y_{13} - Z$
L	H	H	H	L	$Y_{14} - Z$
L	H	H	H	H	$Y_{15} - Z$
H	X	X	X	X	none

Notes

1. H = HIGH voltage level
L = LOW voltage level
X = don't care

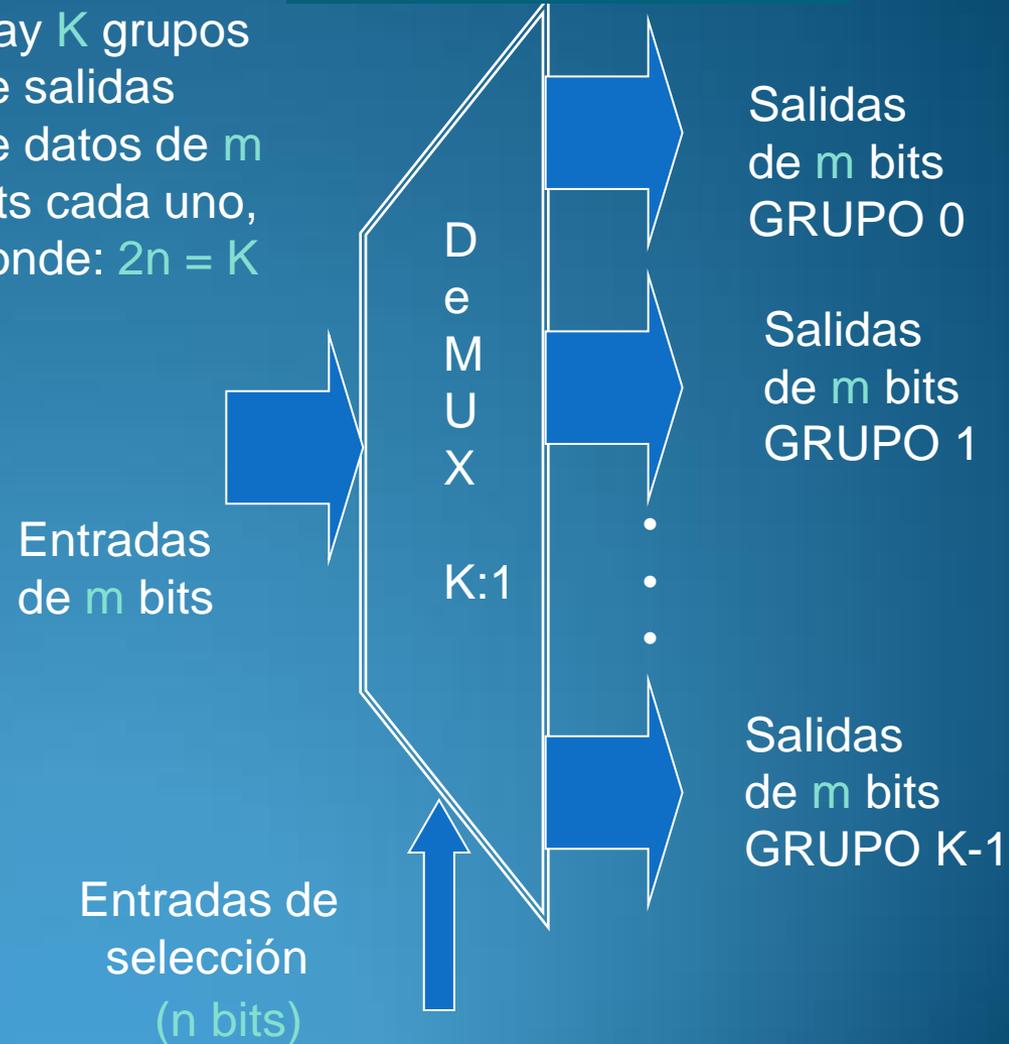
DeMUX Simple

$K = 2^n$ bits

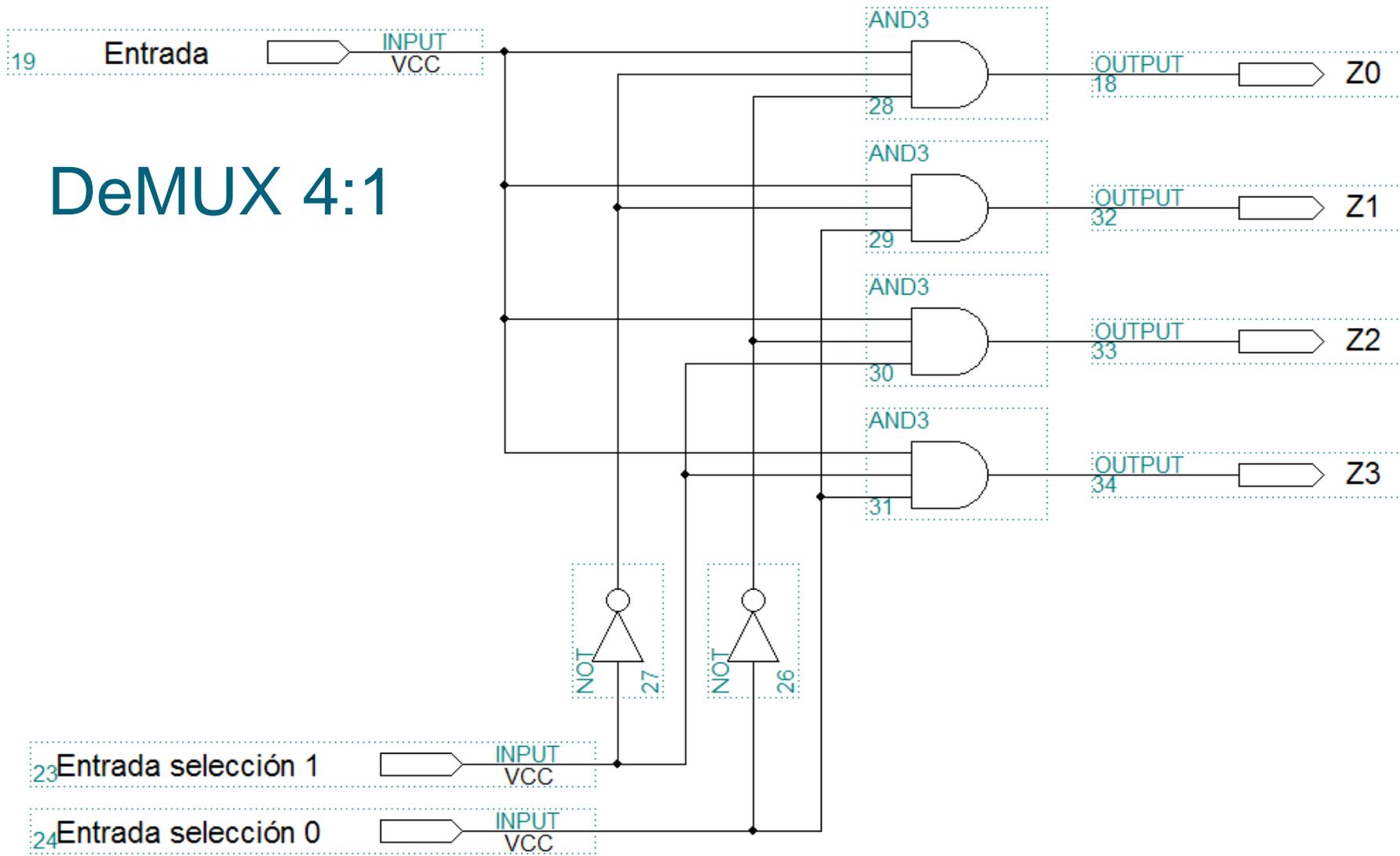


DeMUX Generalizado de ancho de bus = m

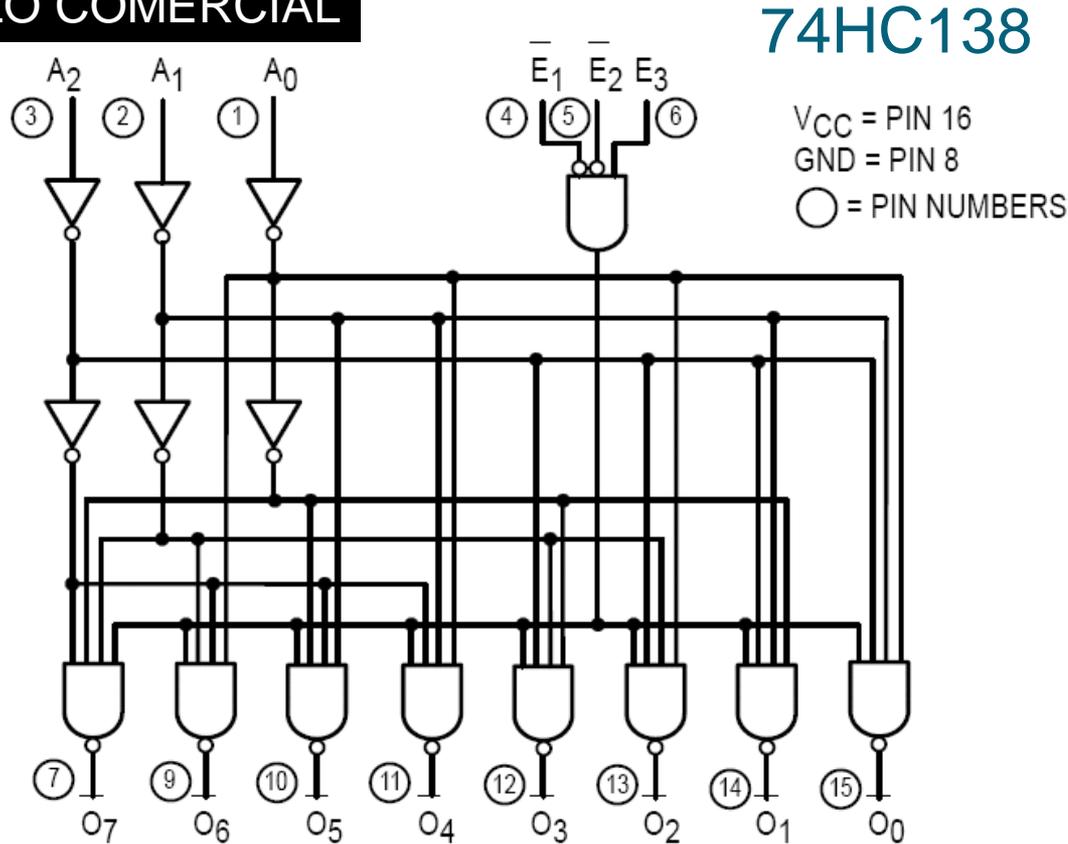
Hay K grupos de salidas de datos de m bits cada uno, donde: $2n = K$



DeMUX 4:1



EJEMPLO COMERCIAL



A_2, A_1, A_0 son entradas de selección
 O_0 a O_7 son salidas activas en bajo.

Como DeMUX la entrada es por ej. $/E_1$ con $/E_2$ en "0" y E_3 en "1".

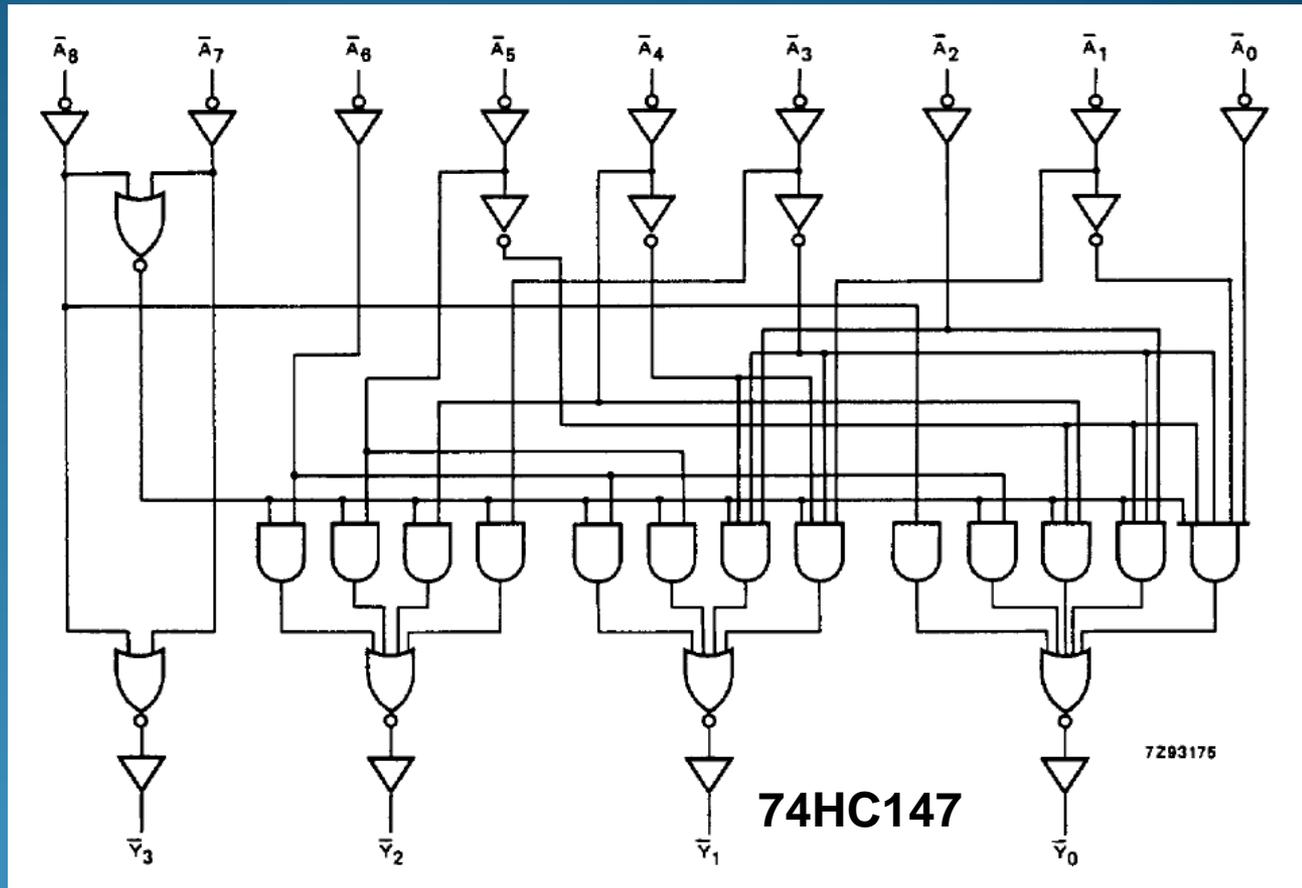
Como Decodificador las entradas deben estar: $E_3 = "1"$ y $/E_1 = /E_2 = "0"$

NOTA: pueden usarse las entradas E_i que no se utilicen como entrada pueden usarse como señales de habilitación que definen cuando el circuito funciona como tal o fuerzan a las salidas a que estén siempre en "1".

CODIFICADOR DE PRIORIDAD 10 a 4

CIRCUITO ESQUEMÁTICO

Las entradas se activan cuando está en "0" (nivel bajo). Las salidas son codificadas en BCD pero con nivel lógico inverso (LHHL corresponde a la novena entrada que es la \bar{A}_8 y la primera es \bar{A}_0).



Tiene 9 entradas con diferente niveles de prioridad siendo la mas alta \bar{A}_8 y la de mas baja prioridad es \bar{A}_0 . Las salidas \bar{Y}_3 a \bar{Y}_0 forman un código que identifica la entrada activa que tiene mayor prioridad en ese momento.

TABLA DE VERDAD

INPUTS									OUTPUTS			
\bar{A}_0	\bar{A}_1	\bar{A}_2	\bar{A}_3	\bar{A}_4	\bar{A}_5	\bar{A}_6	\bar{A}_7	\bar{A}_8	\bar{Y}_3	\bar{Y}_2	\bar{Y}_1	\bar{Y}_0
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	L
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

Notes

1. H = HIGH voltage level
L = LOW voltage level
X = don't care

Si $/A_8$ está en "0" sin importar las demás → las salidas muestran "0110".
Para que $/A_7$ se considere prioritaria debe estar en "0" y $/A_8$ en "1" y así se sigue hasta llegar a la línea de menor prioridad que es $/A_0$.

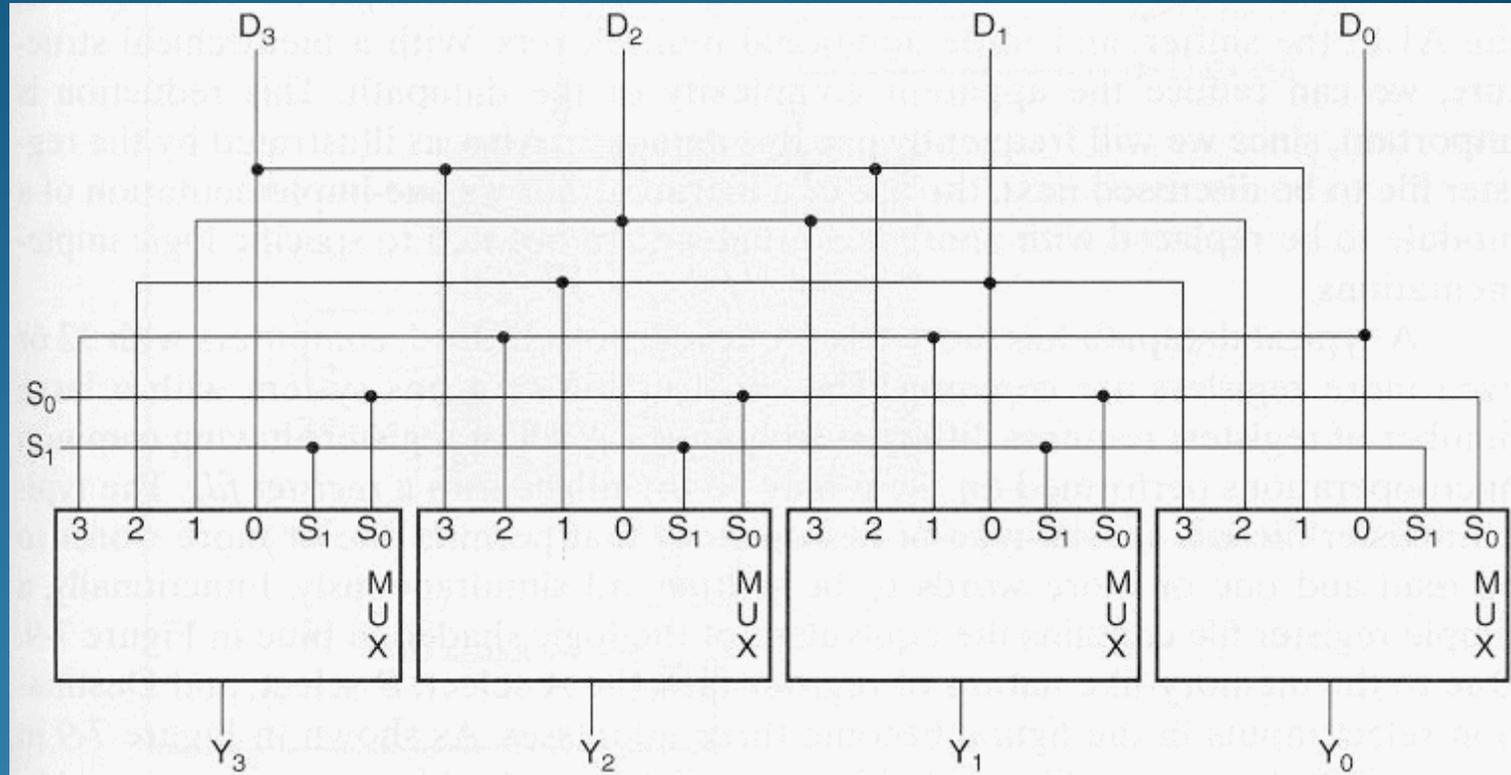
Son circuitos generalmente basados en multiplexores que sirven para desplazar o rotar números representados en formato paralelo.

Según la función pueden ser desplazadores lógicos ó aritméticos según como se tenga en cuenta la información de los carry.

Como desplazador **aritmético** puede emplearse por ejemplo como un multiplicador por un número de potencia de 2 (x2, x4, x8, etc.) simplemente con desplazar el dato hacia la izquierda ó puede convertirse en un divisor de un número potencia de 2 (/2, /4, etc.) desplazando el dato hacia la derecha.

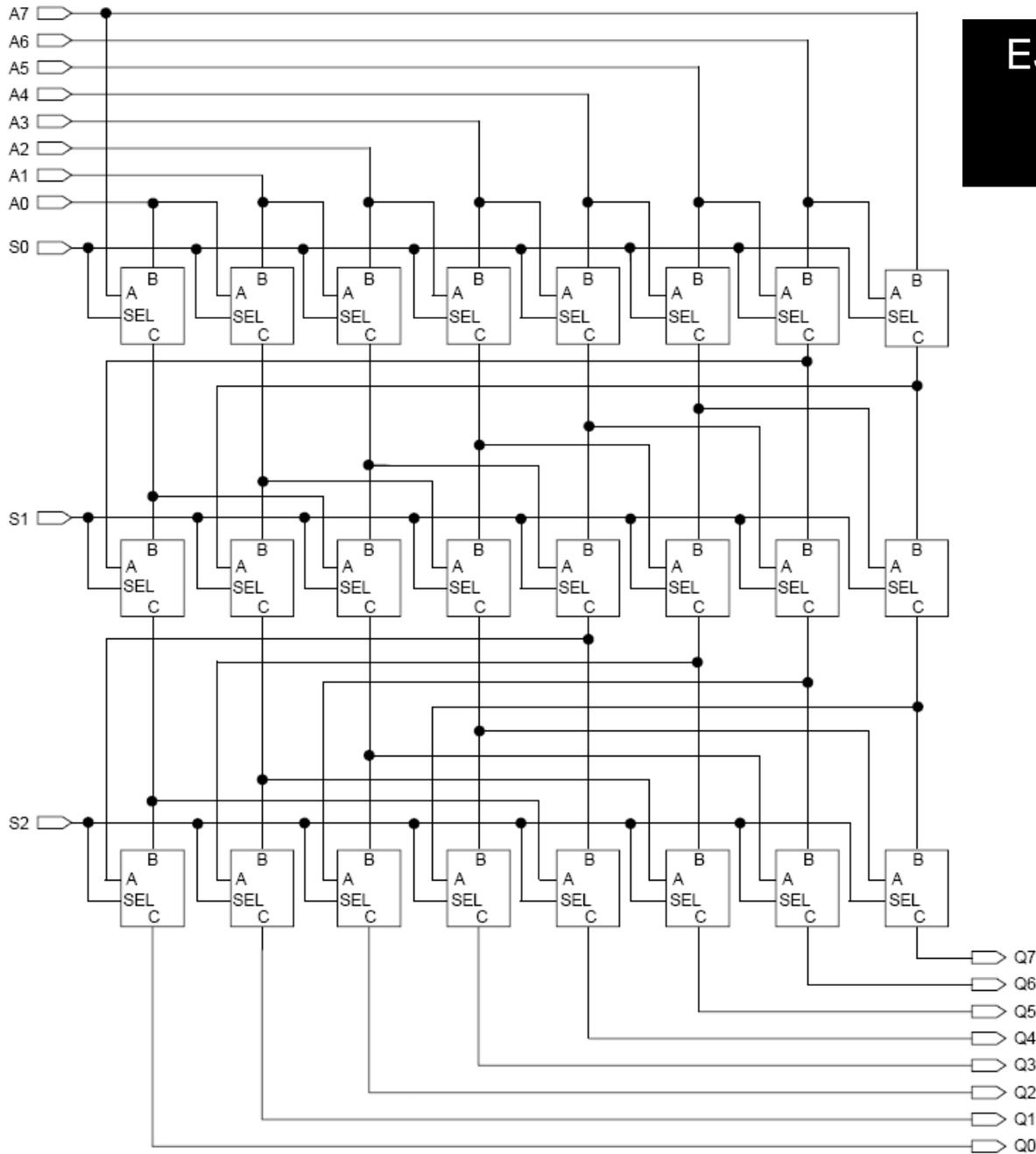
Como desplazador **lógico** (rotador) generalmente se realiza un anillo conectando el bit mas significativo con el menos significativo y rotando un dado número de veces al dato hacia derecha ó izquierda.

EJEMPLO DE DESPLAZADOR LÓGICO (ROTADOR) DE 4 BITS A IZQUIERDA



S_1	S_0	Y_3	Y_2	Y_1	Y_0
0	0	D_3	D_2	D_1	D_0
0	1	D_2	D_1	D_0	D_3
1	0	D_1	D_0	D_3	D_2
1	1	D_0	D_3	D_2	D_1

EJEMPLO DE DESPLAZADOR LÓGICO (ROTADOR) DE 8 BITS A DERECHA



Las entradas de datos $A[7..0]$ salen por las salidas $Q[7..0]$ en el orden que permitan las entradas de selección $S[2..0]$.

Ejemplos:

$S_2 S_1 S_0 = 000 \rightarrow A[i] \rightarrow Q[i]$
(no rota)

$S_2 S_1 S_0 = 111 \rightarrow A[i] = Q[i-1]$
(rota 1 lugar a derecha)

$S_2 S_1 S_0 = 100 \rightarrow A[i] = Q[i-4]$
(rota 4 lugares a derecha)

EJEMPLO: 74HC688

Ejemplo clásico del uso de compuertas Or-Exclusivas.

Este circuito compara dos números de 8 bits cada uno.

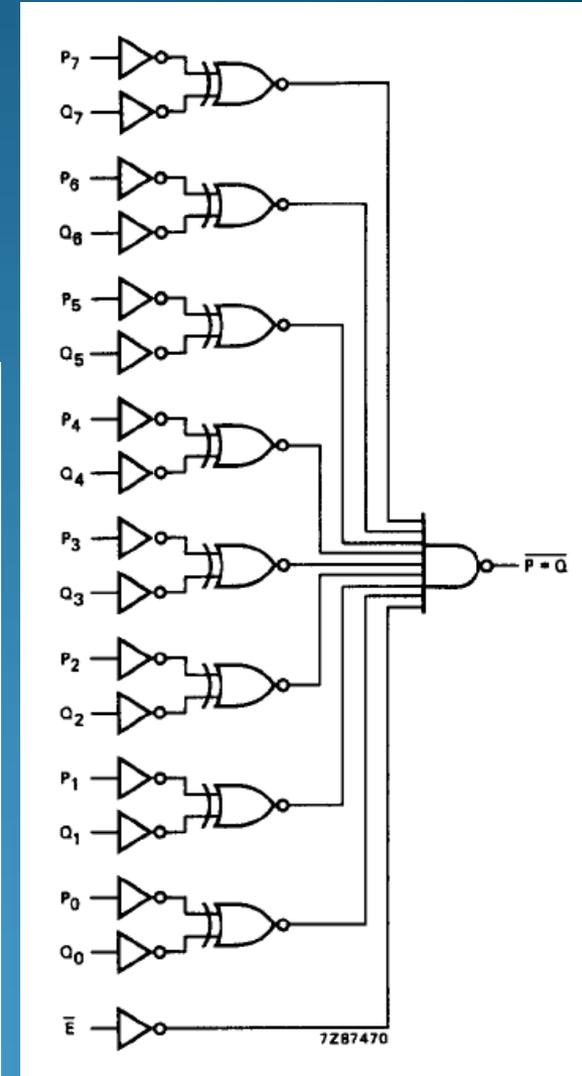
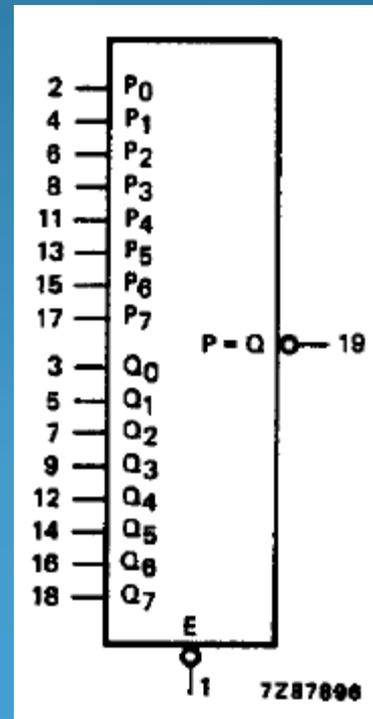
Si son idénticos pone la salida en bajo, caso contrario la salida está en alto.

FUNCTION TABLE

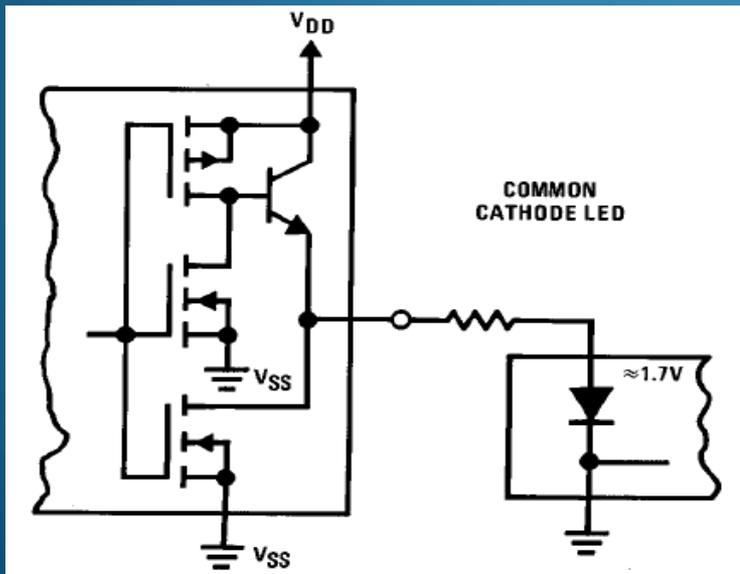
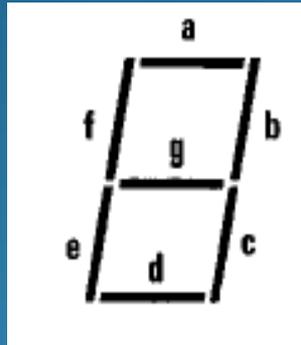
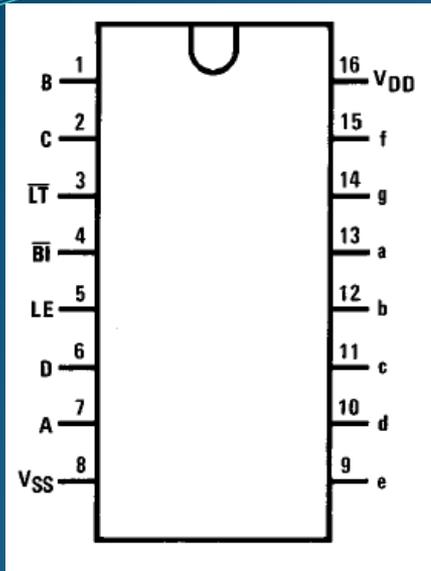
INPUTS		OUTPUT
DATA P_n, Q_n	ENABLE \bar{E}	$\overline{P=Q}$
$P=Q$	L	L
X	H	H
$P>Q$	L	H
$P<Q$	L	H

Notes

- H = HIGH voltage level
L = LOW voltage level
X = don't care



DECODIFICADOR BCD-7SEGMENTOS



Truth Table

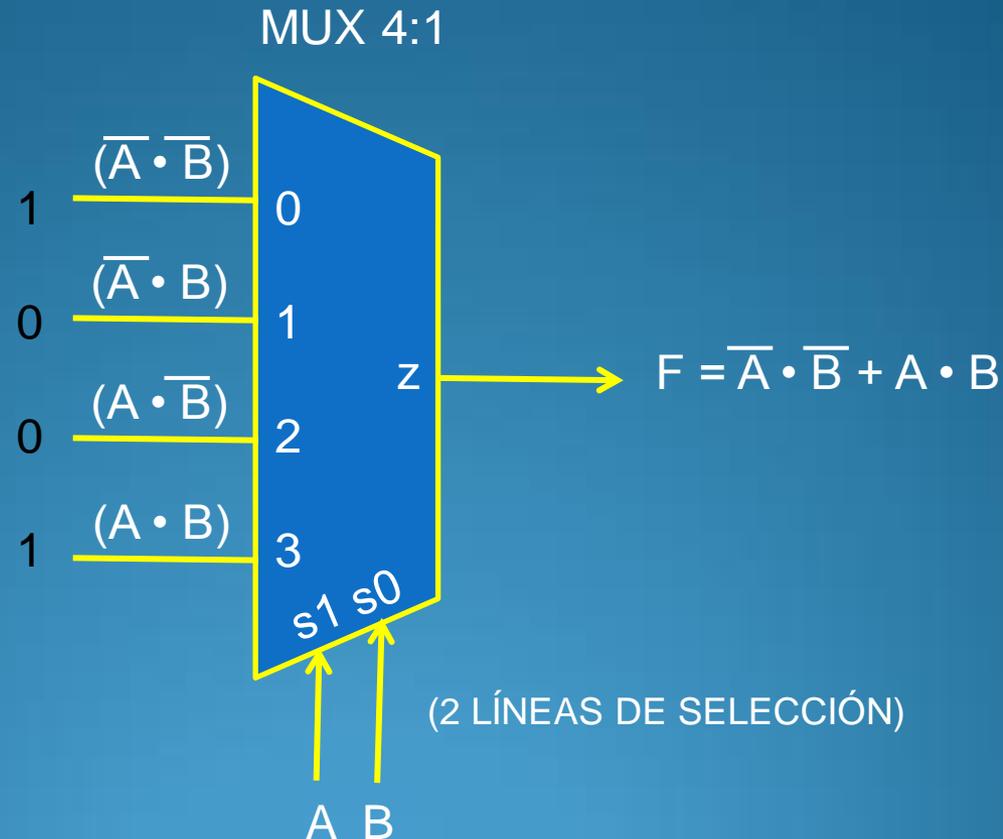
Inputs							Outputs							
LE	\overline{BI}	\overline{LT}	D	C	B	A	a	b	c	d	e	f	g	Display
X	X	0	X	X	X	X	1	1	1	1	1	1	1	B
X	0	1	X	X	X	X	0	0	0	0	0	0	0	
0	1	1	0	0	0	0	1	1	1	1	1	0	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	
0	1	1	1	0	1	1	0	0	0	0	0	0	0	
0	1	1	1	1	0	0	0	0	0	0	0	0	0	
0	1	1	1	1	0	1	0	0	0	0	0	0	0	
0	1	1	1	1	1	0	0	0	0	0	0	0	0	
0	1	1	1	1	1	1	0	0	0	0	0	0	0	
1	1	1	X	X	X	X				*				*

X = Don't Care

*Depends upon the BCD code applied during the 0 to 1 transition of LE.

FUNCIONES LÓGICAS CON MULTIPLEXORES

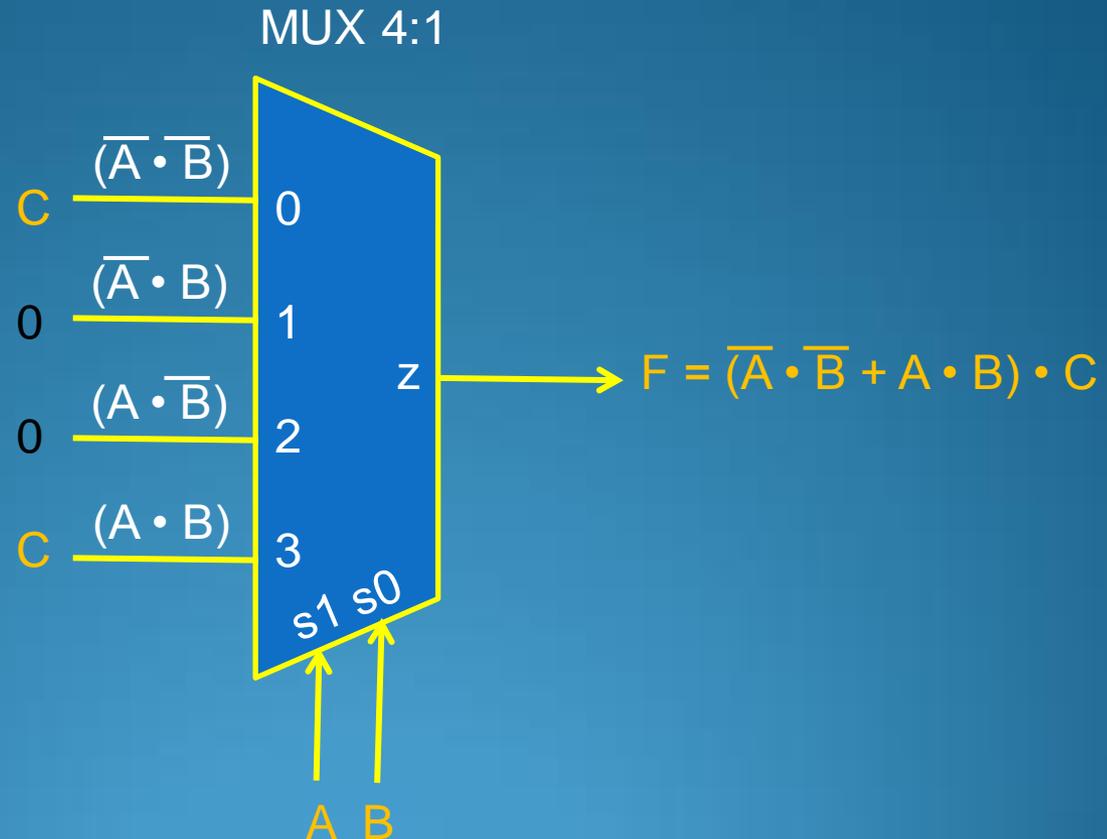
EJEMPLO 1



CON "N" LÍNEAS DE SELECCIÓN SE PUEDE IMPLEMENTAR CUALQUIER FUNCIÓN DE "N" VARIABLES DE ENTRADA.

FUNCIONES LÓGICAS CON MULTIPLEXORES

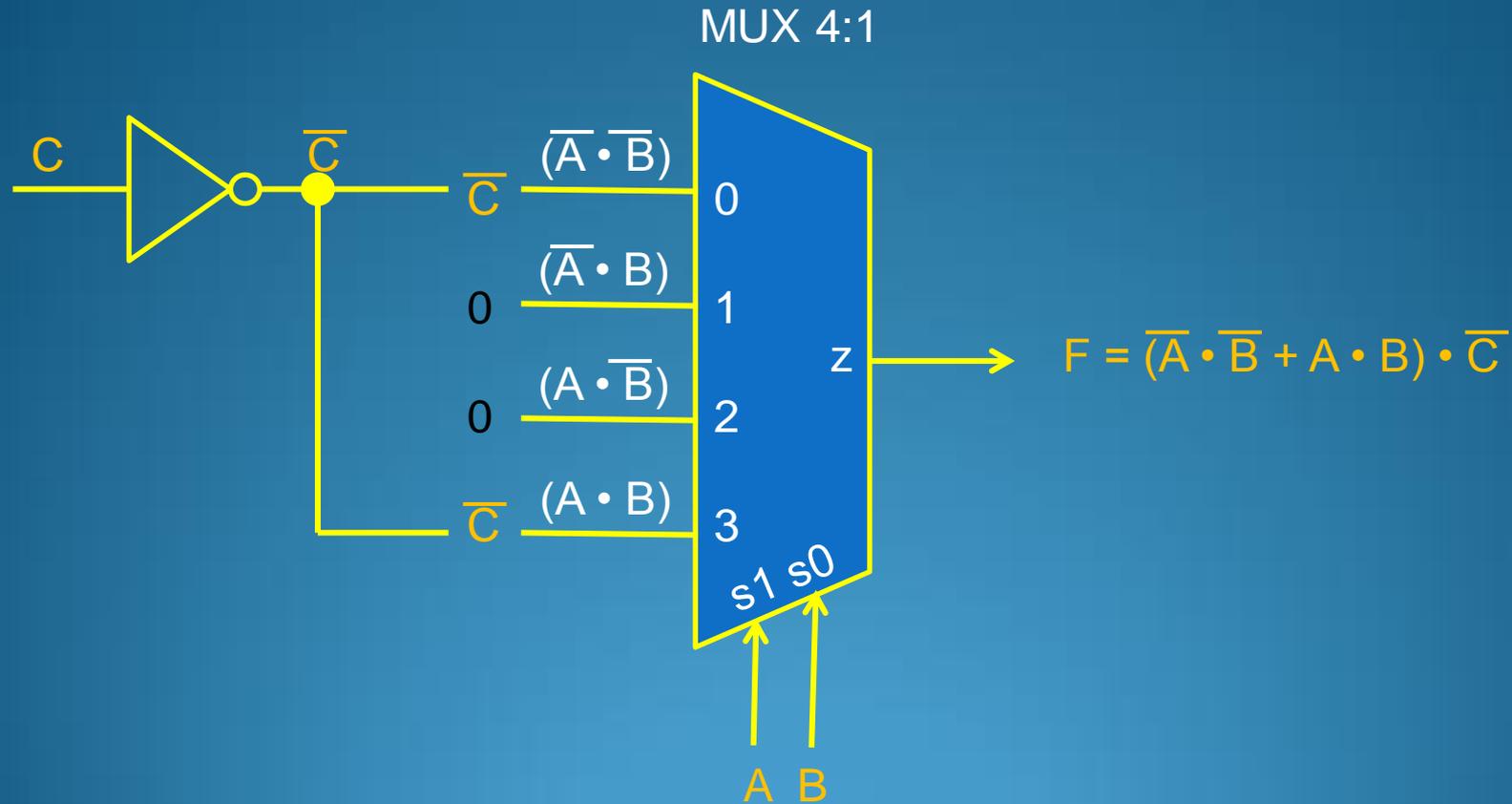
EJEMPLO 2



CON "N" LÍNEAS DE SELECCIÓN SE PUEDE IMPLEMENTAR **ALGUNAS** FUNCIONES DE "N+1" VARIABLES DE ENTRADA.

FUNCIONES LÓGICAS CON MULTIPLEXORES

EJEMPLO 3



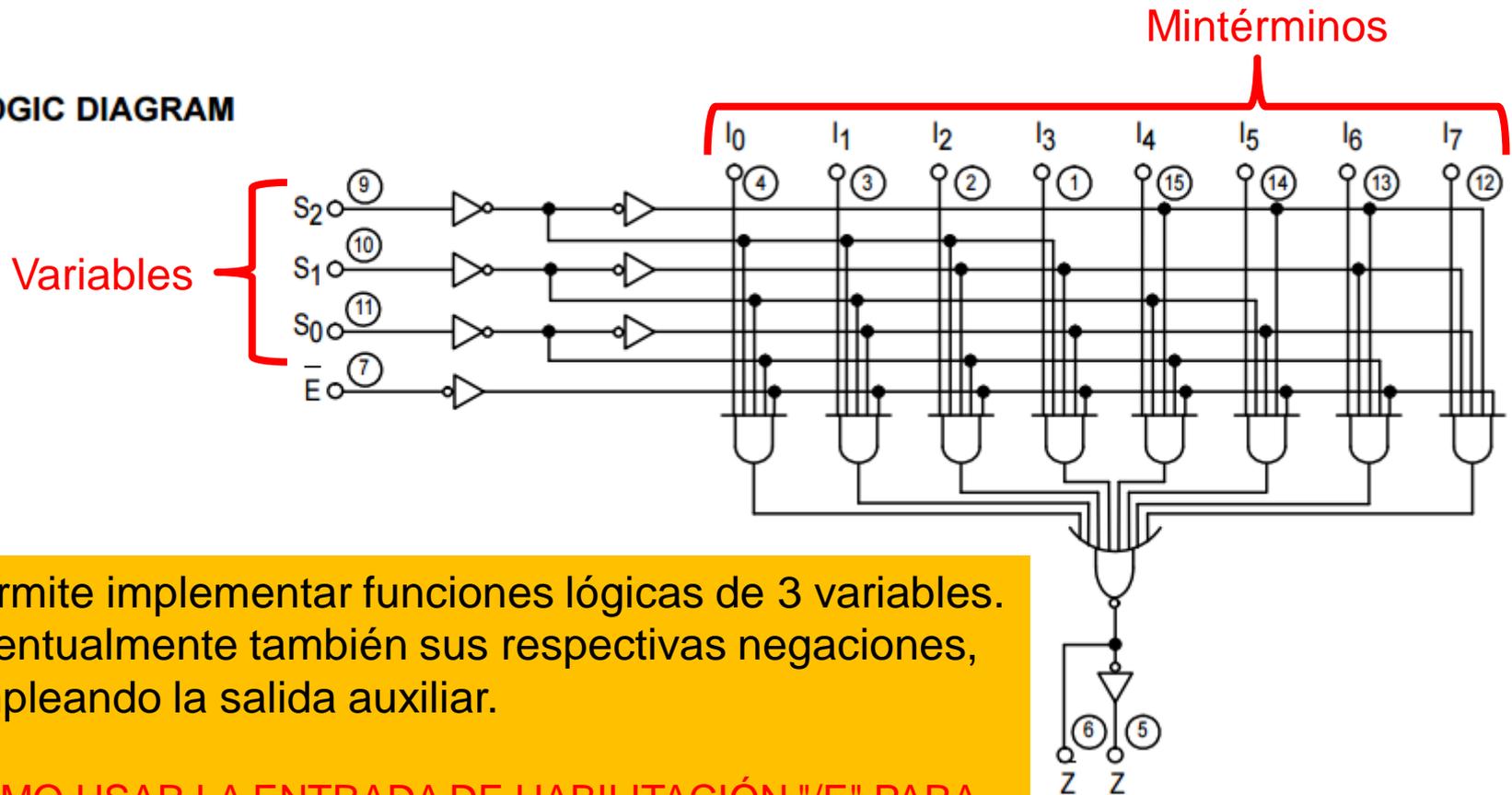
CON "N" LÍNEAS DE SELECCIÓN Y UN NEGADOR SE PUEDE IMPLEMENTAR CUALQUIER FUNCIÓN DE "N+1" VARIABLES DE ENTRADA.

EJEMPLO DE DISEÑO CON LÓGICA STANDARD

MULTIPLEXOR DIGITAL 8:1 SN74LS151

SN54/74LS151

LOGIC DIAGRAM



Permite implementar funciones lógicas de 3 variables. Eventualmente también sus respectivas negaciones, empleando la salida auxiliar.

CÓMO USAR LA ENTRADA DE HABILITACIÓN "/E" PARA MEJORAR LA IMPLEMENTACIÓN DE FUNCIONES ..???

Circuitos Combinatorios

Bibliografía:

Apuntes de teoría:

- “Mux-DeMux-Decodificadores”. S. Noriega.

Libros:

- “Sistemas Digitales”. R. Tocci, N. Widmer, G. Moss. Ed. Prentice Hall.
- “Diseño Digital”. M. Morris Mano. Ed. Prentice Hall. 3ra edición.
- “Diseño de Sistemas Digitales”. John Vyemura. Ed. Thomson.
- “Diseño Lógico”. Antonio Ruiz, Alberto Espinosa. Ed. McGraw-Hill.
- “Digital Design:Principles & Practices”. John Wakerly. Ed. Prentice Hall.
- “Diseño Digital”. Alan Marcovitz. Ed. McGraw-Hill.
- “Electrónica Digital”. James Bignell, R. Donovan. Ed. CECOSA.
- “Técnicas Digitales con Circuitos Integrados”. M. Ginzburg.
- “Fundamentos de Diseño Lógico y Computadoras”. M. Mano, C. Kime. Ed. Prentice Hall.
- “Teoría de conmutación y Diseño lógico”. F. Hill, G. Peterson. Ed. Limusa